

17 MAY
CT/JP03/14702

日 本 国 特 許 庁
JAPAN PATENT OFFICE

19.11.03

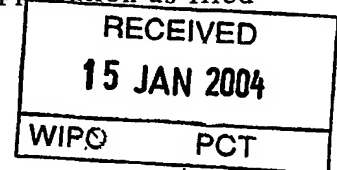
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 8月26日

出 願 番 号
Application Number: 特願2003-301478
[ST. 10/C]: [JP2003-301478]

出 願 人
Applicant(s): 松村 英樹
株式会社石川製作所

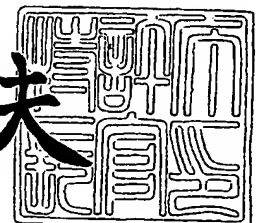


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 M3042IS
【あて先】 特許庁長官 殿
【国際特許分類】 G02F 1/136
【発明者】
 【住所又は居所】 石川県金沢市南四十万 3 丁目 9 3 番地
 【氏名】 松村 英樹
【発明者】
 【住所又は居所】 石川県松任市坊丸町 3 番地
 【氏名】 木田 健一郎
【発明者】
 【住所又は居所】 石川県金沢市寺地 1 丁目 1 9 - 1 0
 【氏名】 南 茂平
【特許出願人】
 【識別番号】 596141550
 【住所又は居所】 石川県金沢市南四十万 3 丁目 9 3 番地
 【氏名又は名称】 松村 英樹
【特許出願人】
 【識別番号】 000147774
 【氏名又は名称】 株式会社石川製作所
 【代表者】 直山 泰
【代理人】
 【識別番号】 100105809
 【弁理士】
 【氏名又は名称】 木森 有平
 【電話番号】 076-262-7101
【先の出願に基づく優先権主張】
 【出願番号】 特願2002-334604
 【出願日】 平成14年11月19日
【手数料の表示】
 【予納台帳番号】 047429
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0016406
 【包括委任状番号】 0214285

【書類名】特許請求の範囲

【請求項 1】

画素とこの画素を制御する画素制御素子がこれらを接続する配線と共に形成される平面ディスプレイ基板において、画素が m 行 n 列で配列されており、上記画素制御素子は、一つの集積回路で複数の画素を制御する画素制御素子であり、上記 m 行 n 列のほぼ中央に配されて、上記各画素との接続を共通の領域を使用した配線を介して接続されていることを特徴とする平面ディスプレイ基板。

【請求項 2】

前記 m 行 n 列は $m \times n$ が3の倍数であり、前記画素制御素子は、3色となる3画素を組として、一つの集積回路で複数組を制御するものであることを特徴とする請求項1記載の平面ディスプレイ基板。

【請求項 3】

前記画素制御素子は、一つの集積回路で、2行6列で配列する3色 \times 4画素の制御を行うもので、2行6列の中央に前記画素制御素子が配されていることを特徴とする請求項1記載の平面ディスプレイ基板。

【請求項 4】

前記画素制御素子は、平面ディスプレイ基板上に転写されるもので、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程とを備えた製造方法によって、平面ディスプレイ基板上に転写されることを特徴とする請求項1乃至請求項3のいずれか1項に記載の平面ディスプレイ基板。

【書類名】明細書

【発明の名称】平面ディスプレイ基板

【技術分野】

【0001】

本発明は、液晶ディスプレイや有機ELディスプレイ等の平面ディスプレイ基板に関し、特に、画素制御素子が複数の画素を制御する画素制御素子である平面ディスプレイ基板に関する。

【背景技術】

【0002】

液晶ディスプレイや有機ELディスプレイに代表されるディスプレイは、ガラス基板（第1の基板ともアレイ基板とも呼ばれる）上に化学気相堆積法（CVD法；Chemical Vapor Deposition）等により絶縁膜、半導体膜等が順次堆積され、半導体集積回路を作製すると同じ工程を経て、画面を構成する各画素近傍に、薄膜トランジスタ（TFT；Thin Film Transistor）等の微小電子デバイスが形成される。この微小電子デバイスで各画素のオン、オフ、濃淡などを制御することにより、ディスプレイ画像が構成される。すなわち、実際に平面ディスプレイに使用するガラス基板上において直接、TFT等の能動電子デバイスが作製されている。しかし、昨今の画面化への需要に対応するため、ディスプレイ面積を拡大させようとする、以下の問題点があった。

【0003】

第一に、平面ディスプレイの拡大に伴い、平面ディスプレイ基板上に微小電子デバイスを作製するCVD装置等の製造装置を必然的に巨大化させることとなる。また、微小電子デバイス作製の工程が多いため、前述のように巨大化させた製造装置が複数台必要となり、なおかつ、それらを設置するクリーンルームも巨大化させる必要がある。その結果として、製造コストの低減が困難な状況となっていた。

【0004】

第二に、ガラス基板が耐えられる300℃程度の低温における堆積薄膜で作製可能なアモルファス・シリコン（a-Si）膜などが半導体膜として使用されているため、結晶シリコンを使用する半導体電子デバイスに比べ動作性能が劣る。これを解決するために、例えばTFTの移動度を向上させてその動作性能を向上させるよう、堆積されたa-Si膜をレーザー照射により溶融させてポリ・シリコン（poly-Si）を形成し、そのpoly-Si膜を用いて移動度が大きいTFTを作ること検討されている。特に、各画素にそれぞれ個別に制御された電流を流すことで発光させる有機ELによるディスプレイでは、a-Si TFTの動作機能では不十分であるとの考えが一般的であり、この点でもレーザー溶融poly-Si膜への期待が広がっている。しかし、レーザー溶融poly-Si膜の作製は高コストであるため、限られた範囲でのみ使用されることが前提とされている。また、a-Si TFTにおいても画面对角寸法が40インチ以上となると、a-Si膜堆積とそれに続くパターン転写工程などの困難さ及び工程コストが共に増大することとなっていた。

【0005】

第三に、ガラス板を基板として用いるディスプレイにおいては、画面サイズが40インチ乃至100インチともなると、ガラス基板の強度を持たせるために板厚を増大させることとなるため、ディスプレイ全体の装置重量が増大してしまい、さらに、これを安定的に設置するために装置構造を大きくする必要があり、同時に、これらに必要なコストも上昇してしまっていた。

【0006】

上記の問題点を解決するものとして、TFT等の微小電子デバイスを、ガラス基板ではない別の基板に予め多量に作製し、それをガラス基板上の所定の位置に実装する技術が既に開示されている（例えば、非特許文献1、特許文献1、特許文献2を参照）。

【0007】

【非特許文献1】Anne Chiang、[Application of Fluidic Self Assembly TM Tech

nology to Flat Panel Displays]、IDW '00予稿集、ITE、SID発行、平成12年11月29日、p. 195-198

【0008】

【特許文献1】特開平11-142878号公報

【特許文献2】特開平2002-244576号公報

【0009】

非特許文献1には、平面ディスプレイ基板上に画素制御素子（微小電子デバイス）がはまり込む型を作製し、予め別の場所にて多量に作製しておいた画素制御素子を液体とともに流し込むことで実装する方法が開示されている。しかしながら、液体と共に流し込む画素制御素子の量に対して、ディスプレイ基板上の型にうまく入り込む画素制御素子の比率が低いため、実用的ではない。さらに、上記の比率を見込んだ多量の画素制御素子を、ディスプレイ基板に流し込むために、配置されなかった余剰の画素制御素子を回収する必要がある。また、液体と共に流し込む時及び余剰分の回収時において、画素制御素子が直接、ディスプレイ基板上を移動するために、ディスプレイ基板を損傷する恐れがある。

【0010】

一方、特許文献1においては、画素制御素子を平面ディスプレイ基板上における配列ピッチに関連付けてシリコン基板上に形成し、ディスプレイ基板の選択転写される位置に、画素制御素子（微小電子デバイス）がはまり込む凹部を形成し、ディスプレイ基板上にシリコン基板の画素制御素子群を位置合わせした後、紫外線照射を行うことにより、転写したい画素制御素子と別の基板との接着剤の接着力を選択的に弱め、ディスプレイ基板の凹部へ画素制御素子をはめ込む方法が開示されている。また、凹部に接着剤層を形成し、画素制御素子を固定する方法も合わせて開示されている。

【0011】

しかし、画素制御素子を凹部にはめ込むために、凹部は画素制御素子よりも若干大きく形成されることとなり、この大きさの違いによって凹部において画素制御素子にずれが生じ、後の配線工程が困難となる。これを防止するために、画素制御素子と凹部との大きさの違いを小さくすると、わずかな位置ズレにより画素制御素子が傾いてはまり込む可能性がある。したがって、凹部の形成や画素制御素子の位置決めを極めて高精度に行う必要があり、現実的なものではない。また、凹部に接着剤層を形成して固定する場合は、画素制御素子を接着剤層に密着させる際、接着剤層にわずかでもにじみが生じると、近辺の他の画素制御素子も密着させてしまうという危険性がある。そのため、接着剤を極めて微量にかつ極めて正確な位置に塗布することが必要であり、相当なコスト高の原因となる。

【0012】

上述のように、非特許文献1においては、ディスプレイ基板上への画素制御素子の配置の成功率に問題があるばかりでなく、配置されなかった余剰の画素制御素子を除去、回収を行う必要があり、結果として、製造コストの低減を可能とする方法とはなっていない。また、余剰の画素制御素子の除去回収時に、ディスプレイ基板を損傷する恐れがある。

【0013】

一方、特許文献1の手法では、画素制御素子と凹部との大きさの違いによって、画素制御素子が凹部内においてズレを生じたり、凹部に傾いてはまり込んだりする可能性があり、これらを防止するためには極めて高精度な位置決めを行うとともに、場合によっては一つずつ位置ズレの程度を確認する必要がある、コスト低減が図られない。さらに、凹部に接着剤層を形成する場合は、接着剤層がにじみ出ることを防止するため、塗布量及び塗布位置を高精度に制御する必要がある、この点においてもコスト高の原因となっている。また、紫外線照射を行うことにより、転写したい画素制御素子と別の基板との接着剤の接着力を選択的に弱めるにあたり、紫外線ビームを画素制御素子と同じ形状として照射することは困難であるため、実際は画素制御素子より大きなビーム径で照射することが予測される。この場合、選択された画素制御素子に隣接する未選択の画素制御素子の接着力を周辺から少しずつ弱めることとなり、特に選択順が遅い画素制御素子においては、選択前にすでに接着力が弱まってしまい、未選択の画素制御素子の配置を誤って乱すことによる位置

ズレや落下の原因となる。特許文献1においては、転写の際に画素制御素子の全数を下にに向けた状態で紫外線照射を行うため、このような画素制御素子が落下する危険性を有することは重大な問題である。

【0014】

また、複数の画素を制御する画素制御素子においては、この画素制御素子を平面ディスプレイ基板に実装した後もこの画素制御素子に対する配線を効率的に行うことが望まれるが、従来の配線方法は、配線材料を基板の全面に薄膜堆積して、それをフォトリソグラフィによってパターン転写して、配線材料薄膜をエッチングし、レジスト膜除去等といった高価で複雑な製造工程となっていた。

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところで、アクティブ・マトリクス表示の液晶ディスプレイにおいては、縦横の配線（縦方向の配線がソース配線であり、横方向の配線がゲート配線）の交差部分に画素（画素電極）及び画素制御素子（TFT）が通常1個ずつ配置され、TFTは1画素を制御するスイッチング素子であることが多い。ディスプレイでの配線部分は、光遮蔽部となることから、配線部分が多いと開口率の向上を図ることに限界がある。ここで、特許文献2は、図38に示すように、田の字状の4つの画素の中央にこれらの4つの画素を制御する4つの薄膜トランジスタ素子12が密集するように配置されている。これは、4つの薄膜トランジスタ素子12がその外周の4つの画素を各々制御するものの集合であると考えられる（特許文献2では、これを「素子ブロック13」と説明する。）。しかし、田の字状の中央で集中させてはいるが、配線の共通化などの点から、画素制御素子に隣り合った画素（或いは画素電極）を制御することしか考えられていない。さらに、特許文献2の方法では、2画素ピッチで、素子が配置されることから、配線部である光遮蔽部は、2画素ピッチで入ることとなる。この場合、RG、BR、GB、RG、…というように2色づつに切り分けられることになるため、発色に問題を生じる。RGBの3色をまとめた形で切り分けることが望ましいが、特許文献2では、隣接する画素との混色が生じて、コントラストにも影響を与える。

【0016】

そこで本発明の目的は、配線の数进行少なくする（省配線化）とともに、配線による光遮蔽部の面積を小さくでき、さらに、発色及びコントラストが良好な平面ディスプレイ基板を提供することにある。

【課題を解決するための手段】

【0017】

本発明の請求項1記載の平面ディスプレイ基板は、画素とこの画素を制御する画素制御素子がこれらを接続する配線と共に形成される平面ディスプレイ基板において、画素がm行n列で配列されており、上記画素制御素子は、一つの集積回路で複数の画素を制御する画素制御素子であり、上記m行n列のほぼ中央に配されて、上記各画素との接続を共通の領域を使用した配線を介して接続されていることを特徴とする。この発明によれば、上記画素制御素子は、一つの集積回路で複数の画素（或いは画素電極）を制御する画素制御素子であり、上記m行n列のほぼ中央に配されて、各画素と上記配線を介して接続されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積が小さくなり、開口率の向上に寄与できる。画素制御素子は、m行n列の中央に配されていることから、m×n個の画素を画素ブロックとすると、画素ブロックに含まれる各画素を一つの画素制御素子で制御する上で、その中心位置となって、この位置から対称位置の画素への配線の長さを同じくして配線することができる。

【0018】

本発明の請求項2記載のディスプレイ基板は、前記請求項1記載の発明を前提として、前記m行n列はm×nが3の倍数であり、前記画素制御素子は、3色となる3画素を組として、一つの集積回路で複数組を制御するものであることを特徴とする。この発明によれ

ば、三原色（RGB）の組み合わせから成る3個の画素を一つの画素制御素子で制御可能となるため、発色及びコントラストが良好となる。具体的には、2行6列や、6行2列や、2列12行や、4列12行等が考えられる。

【0019】

本発明の請求項3記載のディスプレイ基板は、前記請求項1記載の発明を前提として、前記画素制御素子は、一つの集積回路で、2行6列で配列する3色×4画素の制御を行うもので、2行6列の中央に上記画素制御素子が配されていることを特徴とする。この発明によれば、三原色（RGB）の組み合わせから成る3個の画素を一つの画素制御素子で制御しているため、発色及びコントラストが良好となる。ここで、単にm行n列で3色×4画素の制御を行う画素制御素子としても良い。具体的には、2列12行や、4列12行等が考えられる。ただし、画素数の増加に伴って配線数も増大して、その分開口率が悪くなるおそれもあることから、好ましくは、画素制御素子は、一つの集積回路で、2行6列で配列する3色×4画素の制御を行うもので、2行6列の中央に上記画素制御素子が配されていることが望ましい。

【0020】

本発明の請求項4記載のディスプレイ基板は、前記請求項1乃至請求項3のいずれか1項に記載の発明を前提として、前記画素制御素子は、平面ディスプレイ基板上に転写されるもので、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板上に転写する工程とを備えた製造方法により、平面ディスプレイ基板上に転写されることを特徴とする。具体的には、以下の方法で製造されることが望ましい。

【0021】

すなわち、請求項1ないし請求項4記載の発明は、一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板上に転写する工程とを備え、上記画素制御素子用基板に、その第1の方向（ここでは行方向）については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向（ここでは列方向）については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、ピックアップ装置には、画素制御素子のチャッキングを行う真空吸着穴が、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されており、上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的にピックアップ装置に吸着保持させて、平面ディスプレイ基板上に転写することを特徴とする画素制御素子の選択転写方法により、画素制御素子が転写されることが望ましい。また、請求項1ないし請求項4記載の発明は、一つの集積回路で複数の画素を制御する画素制御素子を平面ディスプレイ基板上に転写するに際して、前記複数画素を制御する集積回路が表面に複数形成された画素制御素子用基板を保持基板に固定する工程と、画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程と、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板上に転写する工程とを備え、上記画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p

y/n の配列ピッチとなるように画素制御素子を複数形成し、前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置と、ピックアップ装置を位置合わせするX軸調節機構、Y軸調節機構、及びZ軸調節機構を備え、上記画素制御素子ステージと基板ステージの両ステージはそれぞれ回転角度調節機構を有し、吸着穴は、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成された実装装置を用いて、上記ピックアップ用基板に転写した画素制御素子の中から、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写することを特徴とする画素制御素子の選択転写方法により、画素制御素子が転写されることが望ましい。

【0022】

すなわち、保持基板上に、平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチにて画素制御素子を形成するため、平面ディスプレイ基板に選択的に転写する際、配列ピッチ p_x 、 p_y に応じて、第1の方向には自然数 m 個ごとに($m-1$ 個おきに)選択し、第2の方向には自然数 n 個ごとに($n-1$ 個おきに)画素制御素子が選択されることとなる。このとき、本発明によれば、ピックアップ装置を使用して転写するため、選択された画素制御素子のみがピックアップ装置に吸着保持されることとなり、従来の特許文献1のように、未選択の画素制御素子の配置を誤って乱すことが防止される。

【0023】

請求項1ないし請求項4のいずれか1項記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記画素制御素子用基板を表裏反転するようにピックアップ用基板に転写させた後に画素制御素子用基板を集積回路ごとに切断することが望ましい。

【0024】

この発明によれば、画素制御素子用基板は、集積回路面を表面に向けた状態となるようにピックアップ用基板に転写してから、画素制御素子を形成するため、所定の大きさに切り分ける切断工程において表面側から集積回路面を確認することができ、容易に位置合わせをすることができる。また、請求項1記載の発明と同様、配列ピッチ p_x 、 p_y を保った状態で画素制御素子をピックアップ装置に吸着保持させるため、未選択の画素制御素子の配列を乱すことなく転写させることができる。

【0025】

請求項1ないし請求項4のいずれか1項記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程において、保持基板上に、画素制御素子の集積回路が形成された面を下向きにして画素制御素子用基板の保持基板と接触する面に接着させ、集積回路面を保持基板側に向けた状態となるように接着し、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程において、上記保持基板上の画素制御素子用基板を集積回路ごとに切断した後に、画素制御素子用基板を表裏反転するようにピックアップ用基板に転写させることが望ましい。

【0026】

この発明によれば、画素制御素子の集積回路面を保持基板側に向けた状態となるように形成されるため、画素制御素子を所定の厚さにするための機械研磨工程や所定の大きさに切り分ける切断工程において切りくず等が集積回路面に付着することが防止される。また、請求項1記載の発明と同様、配列ピッチ p_x 、 p_y を保った状態で画素制御素子をピックアップ装置に吸着保持させるため、未選択の画素制御素子の配列を乱すことなく転写さ

せることができる。

【0027】

請求項1ないし請求項4のいずれか1項記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程における保持基板と画素制御素子用基板との接着力と、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程におけるピックアップ用基板と画素制御素子用基板との接着力とが異なることが望ましい。

【0028】

この発明によれば、前記保持基板と画素制御素子用基板との接着力と、前記ピックアップ用基板と画素制御素子用基板との接着力とが、任意の異なる接着力に設定されることとなる。これは、保持基板上で行われる工程において必要な保持力と、ピックアップ用基板へ転写した後に行われる工程において必要な保持力とが異なることに対応可能とするものである。

【0029】

請求項1ないし請求項4のいずれか1項記載の発明は、前記集積回路が複数形成された画素制御素子用基板を保持基板に固定する工程における保持基板と画素制御素子用基板との接着手段と、前記画素制御素子用基板を集積回路ごとに切断した画素制御素子をピックアップ用基板に固定する工程におけるピックアップ用基板と画素制御素子用基板との接着手段とが異なることが望ましい。

【0030】

この発明によれば、前記保持基板と画素制御素子用基板との接着手段と、前記ピックアップ用基板と画素制御素子用基板との接着手段とが、任意の異なる手段に設定されることとなる。例えば、前記保持基板と画素制御素子あるいは画素制御素子用基板との接着手段に、紫外線により接着力を変化させるシートを使用し、前記ピックアップ用基板と画素制御素子あるいは画素制御素子用基板との接着手段に、熱により接着力を変化させるシートを使用することができる。

【0031】

請求項1ないし請求項4のいずれか1項記載の発明は、前記平面ディスプレイ基板の表面に透明な熱可塑性樹脂膜を形成し、ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程において、上記ピックアップ装置の画素制御素子を吸着する面には、あらかじめフッ素樹脂が塗布されており、上記透明な熱可塑性樹脂膜の塑性変形によって画素制御素子を保持することが望ましい。

【0032】

この発明によれば、平面ディスプレイ基板の表面に、透明な熱可塑性樹脂膜が形成され、透明な熱可塑性樹脂膜の塑性変形によって画素制御素子が保持されることとなる。塑性変形可能となった透明な熱可塑性樹脂膜は、画素制御素子の底面と側面とに密着し、底面のみによる密着に比べて広範囲な面積において摩擦力の効果が得られ、画素制御素子を強固に保持することができる。また、ピックアップ装置の画素制御素子を吸着する面には、あらかじめフッ素樹脂が塗布されているため、ピックアップ装置が透明な熱可塑性樹脂膜と密着することがなく、透明な熱可塑性樹脂膜の表面や画素制御素子の表面を汚したり、配置された画素制御素子の配列を誤って乱したりすることが防止される。

【0033】

また、前記透明な熱可塑性樹脂膜の塑性変形による画素制御素子の保持は、ピックアップ装置に吸着された画素制御素子が透明な熱可塑性樹脂膜に接触するときに、ピックアップ装置により吸着力と逆の方向へ圧空をかけて画素制御素子を透明な熱可塑性樹脂膜に配置した後にプレスすることにより、透明な熱可塑性樹脂膜を塑性変形させて画素制御素子を保持することが望ましい。また、前記透明な熱可塑性樹脂膜は、透明熱可塑性高分子フィルムを平面ディスプレイ基板にラミネート加工して形成することが望ましい。

【0034】

この発明によれば、まず、ピックアップ装置に吸着された画素制御素子が透明な熱可塑性樹脂膜に接触するときに、ピックアップ装置により吸着力と逆の方向へ圧空をかけて画素制御素子を透明な熱可塑性樹脂膜に配置することとされる。すなわち、画素制御素子がピックアップ装置による圧空を持って押し付けられるように透明な熱可塑性樹脂膜に配置されることとなり、画素制御素子と透明な熱可塑性樹脂膜とが密着することとなる。また、この発明によれば、画素制御素子を透明な熱可塑性樹脂膜に配置した後にプレスすることとされる。プレスの方法においては、透明な熱可塑性樹脂膜を加熱してからプレス装置等によりプレスしても、プレス装置等を加熱してプレスしてもよい。プレスする時期においては、全ての画素制御素子を配置し終えた後に一括して平面ディスプレイ基板全体をプレスするようにしてもよいし、任意の数量だけ画素制御素子を配置した後にプレスするようにしてもよい。また、透明熱可塑性高分子フィルムを平面ディスプレイ基板にラミネート加工して、透明な熱可塑性樹脂膜を形成することは、平坦な膜形成の観点からさらに望ましい。

【0035】

また、請求項1ないし請求項4のいずれか1項記載の発明は、前記画素制御素子を平面ディスプレイ基板に吸着保持させた後、画素制御素子の表面及び平面ディスプレイ基板の表面に透明紫外線硬化樹脂膜を形成し、平面ディスプレイ基板において画素制御素子が保持されない側から紫外線照射を行って透明紫外線硬化樹脂膜を選択的に硬化させた後、画素制御素子の表面の透明紫外線硬化樹脂膜を除去することにより、画素制御素子を選択的に平面ディスプレイ基板に転写することが望ましい。

【0036】

この発明によれば、画素制御素子を平面ディスプレイ基板に保持させた後、画素制御素子の表面及び平面ディスプレイ基板の表面を覆うように透明紫外線硬化樹脂膜を形成し、平面ディスプレイ基板の裏面側から紫外線照射を行うことにより、通常は透明である平面ディスプレイ基板を紫外線が透過するため、画素制御素子の上面（平面ディスプレイ基板或いは透明な熱可塑性樹脂膜に接触していない面）を除いた全ての部分にわたる透明紫外線硬化樹脂膜を硬化させることとなる。その後、画素制御素子の上面の硬化していない透明紫外線硬化樹脂膜を除去すると、画素制御素子の上面を除く周辺部分に紫外線により硬化した透明樹脂膜が均一に形成され、画素制御素子の上面から引き出される配線が安定的に形成されることとなる。

【0037】

また、請求項1ないし請求項4のいずれか1項記載の発明は、前記画素制御素子の表面には、信号線を接続するための電極パッドが形成され、長さ及び幅が $30\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であり、厚さが $20\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の結晶シリコンチップ或いは多結晶シリコンチップであることが、実装の容易さの面から望ましい。また、前記画素制御素子の表面に、シリコン窒化膜、或いは、シリコン酸化膜による保護膜が形成されていることは、画素制御素子やそれに形成される回路の保護の面からさらに望ましい。また、前記画素制御素子は、結晶シリコン基板或いは多結晶シリコン基板表面に画素制御機能を形成した後、 $20\mu\text{m}$ 以上、 $100\mu\text{m}$ 以下の厚さとなるようその裏面を機械研磨し、その後、サンドブラスト加工或いは、レーザー加工によって、長さ及び幅が $30\mu\text{m}$ 以上 $500\mu\text{m}$ 以下となるように切断されたものであることは、生産効率及び加工精度の面からさらに望ましい。

【0038】

また、請求項1乃至請求項4のいずれか1項に記載された複数の画素を制御する画素制御素子にその内部を通過する配線を形成する一方、平面ディスプレイ基板に配線を形成するに際し、画素制御素子の内部配線と破線状に接続される平面ディスプレイの配線に対応する所定パターンが形成されたスクリーンマスクを使用したスクリーン印刷によって形成することが望ましい。ここで、スクリーンマスクとしては、薄い金属箔を用いたメタルマスクが好ましい。

【0039】

この発明によれば、複数の画素を制御する画素制御素子を前提とするが、この画素制御素子はデータライン、ゲートラインや画素ラインの間に画素制御素子が位置され、画素制御素子を中心に縦横にデータライン等の配線が必要になる。このため、画素制御素子にその内部を通過する配線を形成しておき、この画素制御素子を上記画素制御素子の選択転写方法で転写させた後、複数の画素を制御する画素制御素子の内部を通過する配線と接続される平面ディスプレイ基板に形成されるデータライン等の配線と形成するに際して、データライン等の配線は破線状になるため、データライン等の配線に対応する所定パターンが形成されたスクリーンマスクが使用でき、その結果、平面ディスプレイ基板に直接配線材料を印刷塗布する方法によって上記画素制御素子と接続するパターン配線を形成することができる。この点、従来の配線方法は、配線材料を平面ディスプレイ基板の全面に薄膜堆積して、それをフォトリソグラフィ法によってパターン転写して、配線材料薄膜をエッチングし、レジスト膜除去等等といった高価で複雑な製造工程となっていた。また、上記のようなスクリーンマスクは使用できず、スクリーン印刷はできなかった。

【0040】

また、請求項1乃至請求項4のいずれか1項に記載された画素制御素子を選択的に転写する選択転写方法において使用される画素制御素子の実装装置であって、上記実装装置は、前記ピックアップ用基板上の画素制御素子を選択的にピックアップ装置に吸着保持させて平面ディスプレイ基板に転写する工程を行うもので、前記ピックアップ用基板を載置する画素制御素子ステージと、平面ディスプレイ基板を載置する基板ステージと、真空吸着穴が形成された真空チャックを有するピックアップ装置とを備えた画素制御素子の実装装置であって、上記画素制御素子ステージと基板ステージの両ステージはそれぞれ回転角度調節機構を有し、ピックアップ装置は、X軸調節機構、Y軸調節機構、及びZ軸調節機構により直交する3方向に可動自在な機能を有し、吸着穴は、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されることが望ましい。

【0041】

この発明によれば、画素制御素子ピックアップ部に形成される吸着穴は、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されるため、上記画素制御素子の選択転写方法により画素制御素子を実装することができる。

【発明の効果】

【0042】

本発明によれば、一方の基板と対向する平面ディスプレイ基板に一つの集積回路で複数の画素の制御を行う画素制御素子とその配線と共に複数配置してなることから、省配線化が可能で、開口率の向上などの点での効用がある。すなわち、画素制御素子は、一つの集積回路で複数の画素電極を制御する画素制御素子であり、 m 行 n 列の画素配列のほぼ中央に配されて、各画素と上記配線を介して接続されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積を小さくすることが可能になる。

【0043】

また、特許文献2では、2画素ピッチで、素子が配置されることから、配線部である光遮蔽部は、2画素ピッチで入ることとなる。この場合、RG、BR、GB、RG、…というように2色づつに切り分けられることになるため、発色に問題を生じる。これに対して、本願発明のように、前記 m 行 n 列は $m \times n$ が3の倍数であり、前記画素制御素子は、3色となる3画素を組とすると、一つの集積回路で複数組を制御するものとする、RGBの3色をまとめた形で切り分けられることができるため、本来必要な発色を行なうことが可能となり、隣接する画素との混色を防止することができるため、コントラストの向上も期待できる。さらに、2行6列で配列する3色 \times 4画素の制御を行うものとする、6画素ピッチで素子が配列されることから、開口率向上の効果を維持ながら、RGBの3色をまとめた形で切り分けられることができるため、本来必要な発色を行なうことが可能となる。さらに、RGBで切り分けることにより、隣接する画素との混色を防止することで、コントラ

ストの向上も期待できる。

【発明を実施するための最良の形態】

【0044】

以下に、本発明の実施の形態を図面を引用しながら説明する。

【0045】

(第1の実施の形態の平面ディスプレイ基板の製造方法)

(1. 液晶ディスプレイ構造)

本実施の形態は、本発明の平面ディスプレイ基板の製造方法を液晶ディスプレイの製造に適用したものである。液晶ディスプレイ200は、図24に示すように、平面ディスプレイ基板100とカラーフィルター基板111との間に液晶112を挟持する構造をとる。プラスチック基板からなる平面ディスプレイ基板(第1の基板やアレイ基板とも呼ばれる。)100には、樹脂フィルム101を介して画素制御素子1と透明電極(画素)102とがマトリクス状に形成され、その上に配向膜110が形成される。他方、カラーフィルター基板111には、耐溶剤層113を介してカラーフィルター114が上記透明電極102と対向するように形成され、その表面にカラーフィルター用透明電極115と配向膜110が形成される。画素制御素子1は、複数の薄膜トランジスタ(TFT; Thin Film Transistor)が形成されたものであり、複数の透明電極102を制御することにより各画素のオン、オフ、濃淡などを制御する。

【0046】

(2. 画素制御素子の選択転写方法)

上記構成の液晶ディスプレイ200は、図25に示す製造方法により製造される。その概略は、画素制御素子用基板2に複数画素の制御を行う集積回路3を形成して保持基板7に固定する工程R1と、画素制御素子用基板2を研磨する工程R2と、画素制御素子用基板2をピックアップ用基板9に移す工程R3と、画素制御素子1に切断する工程R4と、画素制御素子1をピックアップ装置51により平面ディスプレイ基板100に転写する工程R5と、透明電極及び配線を形成する工程R6と、配向膜形成及びラビングをする工程R7と、カラーフィルター基板を貼り合わせる工程R8と、液晶を注入する工程R9とを備える。

【0047】

まず、上記工程R1において、画素制御素子用基板2として結晶シリコン基板或いは多結晶シリコン基板(以下、シリコン基板とする)2に複数画素の制御を行う集積回路3を形成する。シリコン基板2上への集積回路3の形成は、周知の半導体製造技術によって行う。その集積回路3の一例を図1に示す。図1の集積回路3には画素制御を行う薄膜トランジスタの電子デバイス3aが12個形成されている。すなわち、1個の集積回路3によって、3色(RGBの3色)×4画素の制御を行うことができる。また、各画素の電流保持回路3b及び画素ライン107等の信号線をつなぐための電極パッド3cも形成しておく。このような集積回路3を形成後、図2に示すように、電極パッド3c以外の部分に、窒化シリコン膜、或いは酸化シリコン膜4を堆積し、集積回路3を保護する。ここで、列方向に画素制御素子1から離れる画素との配線の直線性を保つために、画素制御素子1からの列の配線を直線状に施し(直線状に配するだけで、画素制御素子と各画素とが確実に接続される。)なる(図37参照)。3色×4画素の12画素は、前記配線の交わる位置に配される画素制御素子1から離れるに従って、その長さが長くすることも可能である(図37参照)。また、画素配列の他の例としては、前記m行n列はm×nが3の倍数であり、前記画素制御素子1は、3色となる3画素を組として、一つの集積回路3で複数組を制御するものであり、図33に示すように、2列12行として一つの集積回路3で8組を制御(3の整数倍の24画素を3色となる3画素を組として制御)したり、図34に示すように、4列6行として一つの集積回路3で8組を制御したりする等が考えられ、その中央に配される画素制御素子1は、一つの集積回路3で複数の画素を制御する画素制御素子1であり、上記各画素との接続を共通の領域を使用した配線を介して接続されているものでも良い。このように、画素配列は、m行n列の画素配列のパターンに適用可能である。

これによれば、上記画素制御素子1は、一つの集積回路3で複数の画素（或いは画素電極）を制御する画素制御素子であり、上記m行n列のほぼ中央に配されて、各画素と上記配線を介して接続されているため、配線の数が少なくなり（省配線化）、配線による光遮蔽部の面積が小さくなり、開口率の向上に寄与できる。ここで、配線の数とは、行方向又は列方向に配される配線の束からなる配線群（本実施の形態ではデータライン109の集合、又は、画素ラインとゲートライン108の集合）の数をいう。

【0048】

図3に示されるように、シリコン基板2上には、図1に示されるような集積回路3が規則的な間隔で多数形成される。その規則的な間隔（ピッチ）5, 6は、以下に説明するように、平面ディスプレイ基板100上におけるピッチ105, 106に対応するものである。一つの集積回路3で、3色×4画素の制御を行う場合、平面ディスプレイ基板100上での画素制御素子1は、図4に示すように、第1の方向Xについてはピッチ105にて実装され、第2の方向Yについてはピッチ106にて実装される。そして、シリコン基板2上に多数形成された集積回路3のピッチ5, 6は、図5のように、平面ディスプレイ基板100上での画素制御素子1の間隔105, 106を基準とし、その間を自然数m, n個の画素制御素子1で埋めるようにして決定される。すなわち、平面ディスプレイ基板100における第1の方向Xについてのピッチ105を p_x とし、同じく第2の方向Yについてのピッチ106を p_y とした場合、シリコン基板2における第1の方向Xについてのピッチ5は p_x/m 、同じく第2の方向Yについてのピッチ6は p_y/n となる。そして、図6に示すように、シリコン基板2の表面すなわち集積回路3が形成されている面2aを、第1の粘着テープ8によって保持基板7に固定する。

【0049】

次に、工程R2において、シリコン基板2の裏面すなわち集積回路3が形成されない面2bを機械研磨して、シリコン基板2の厚さを20~100 μ m程度に薄膜化する。第1の粘着テープ8は、所定の加熱により粘着力が低下する熱剥離テープを使用することができる。

【0050】

次に、工程R3において、ピックアップ用基板9にシリコン基板2を転写する。具体的には、図7に示すように、シリコン基板2の裏面2bとピックアップ用基板9とを第2の粘着テープ10で接着し、保持基板7を介して第1の粘着テープ8を加熱して第1の粘着テープ8及び保持基板7を剥離する。このようにしてシリコン基板2を保持基板7からピックアップ用基板9に転写する。このとき、図8に示すように、集積回路3が形成された面2aは表面側となる。ここで、第1の粘着テープ8の熱剥離温度が第2の粘着テープ10の熱剥離温度よりも低いものとなるように、それぞれの粘着テープ8, 10を選択すれば、第1の粘着テープ8への加熱がシリコン基板2を介して第2の粘着テープ10へ伝導して、ピックアップ用基板9とシリコン基板2との接着力が低下して位置ズレ等の不具合を引き起こすことが防止される。

【0051】

また、粘着テープ8, 10の接着手段、すなわち粘着力を変化させる手段を異なるものとしてもよい。例えば、第1の粘着テープ8を、紫外線照射によって粘着力が弱くなるものとし、第2の粘着テープ10を熱剥離テープとすると、第1の粘着テープ8を剥離するための紫外線照射によって、第2の粘着テープ10の粘着力が低下してしまうことが防止される。

【0052】

その後、工程R4において、シリコン基板2を集積回路3ごとに、チップ形状に切断し、画素制御素子1を形成する。切断方法は、エッチング、サンドブラスト加工、レーザー加工、ダイシング加工などにより行うことができる。生産効率の面からは、アルミナ等の粉末をノズルから高圧・高速で噴射して切削して行くサンドブラスト加工が最も適しているが、画素制御素子1の形状を精度良く加工したい場合は、レーザー光を移動させ切削して行くレーザー加工が適している。プラズマを用いた、いわゆるドライエッチングによっ

ても加工は可能であるが、加工速度が他の方法に比して遅いため、生産効率は低い。また、薬液を用いたウェットエッチングでは、薬液の回り込みによって画素制御素子1の加工精度が劣ったり、機械的に切断を行うダイシング加工では、ダイシングの刃によって、画素制御素子1が飛んだりして、歩留まりの点で不利である。したがって、切断方法の選択は重要であり、本実施の形態のように、 $20 \sim 100 \mu\text{m}$ 程度の厚さのシリコン基板2を切断する場合は、サンドブラスト加工もしくはレーザー加工が適している。本実施の形態においては、サンドブラスト加工による例を説明する。

【0053】

図9、図10は、サンドブラスト加工による切断工程を示す。上述したシリコン基板2の機械研磨による薄膜化及びピックアップ用基板9への転写の後、シリコン基板2に形成した集積回路3の間にて切断できるように、位置合わせ及び画素制御素子1のパターニングを行う。パターニングは、フォトリソグラフィ法などによって行う。図9は、フォトリソグラフィによって、パターニングを行った後の状態を示したものである。次に、図10のように、パターニングによって形成したフォトレジスト11をマスクとして、サンドブラスト加工を行う。サンドブラスト加工によって、個々の画素制御素子1に切り分けた後、フォトレジスト11を剥離する。図11は、フォトレジスト11を剥離した後の様子を示している。

【0054】

図11に示される段階においては、ピックアップ用基板9上に、第1の方向Xのピッチ5が p_x/m 、第2の方向Yについてはピッチ6が p_y/n となるように画素制御素子1が配列された状態にある。次の工程R5においては、ピックアップ用基板9を低温で加熱して第2の粘着テープ10の粘着力を少し低下させ、この配列された画素制御素子1から、所定の画素制御素子1のみをピックアップして、平面ディスプレイ基板100上に画素制御素子1を配置する。このとき、ピックアップ工程が終わるまで、ピックアップ用基板9を加熱しつづけてもよいが、ピックアップする画素制御素子1の近辺のみを、ピックアップ時に加熱するようにしてもよい。このようにすることで、加熱時間及び熱量を少なくすることができる。また、第2の粘着テープ10として、紫外線照射により粘着力が低下するものを使用し、ピックアップ用基板9に紫外線を透過するものを使用した場合は、ピックアップする画素制御素子1の近辺のみに紫外線ビームを短時間照射することにより、第2の粘着テープ10の粘着力低下に必要な時間及び熱量（紫外線照射量）を少なくすることができる。

【0055】

図12は、工程R5においてピックアップを行うピックアップ装置51の真空チャック52を示したものである。真空チャック52の吸着面には、フッ素樹脂が塗布されている。このフッ素樹脂は、後述する透明熱可塑性樹脂フィルム101等による透明な熱可塑性樹脂膜との離型剤としての役割を持つ。画素制御素子1のチャッキング（吸着）を行う真空吸着穴53が、第1の方向Xには、平面ディスプレイ基板100上の画素制御素子1と同じ配列ピッチ55（すなわち p_x ）で自然数K列形成され、第2の方向Yにも同様に配列ピッチ56（すなわち p_y ）で自然数L行形成されている。したがって、この真空チャック52によって、平面ディスプレイ基板100上における第1の方向Xのピッチ105及び第2の方向Yのピッチ106を満たす画素制御素子1を、一度に最大 $K \times L$ 個ピックアップし、平面ディスプレイ基板100に転写することができる。

【0056】

図13において斜線が付された部分は、第1の方向Xにピッチ5（すなわち p_x/m ）にて、第2の方向Yにピッチ6（すなわち p_y/n ）にて規則正しく配列されている画素制御素子1において、真空チャック52によってピックアップされる画素制御素子1の一例を示す。すなわち、第1の方向Xには自然数m個ごとに（ $m-1$ 個おきに）選択し、第2の方向には自然数n個ごとに（ $n-1$ 個おきに）選択することとなるため、斜線が付された箇所の画素制御素子1が選択的にピックアップされることとなる。そして、次のピックアップ時は、例えば、真空チャック52をピックアップ用基板9上において幅 $p_x/$

mだけ第1の方向X（図13において右方向）にずらした位置に来るようにすれば、既にピックアップされた画素制御素子1（図13において斜線が付されたもの）の右隣に位置する画素制御素子1を、前回のピックアップ時と同様に選択的にピックアップすることができる。このような選択的なピックアップ操作を最大 $m \times n$ 回繰り返すことができる。また、図14は、真空チャック52を用いて画素制御素子1をピックアップする状態を示す。このようにして、画素制御素子1の選択転写を1回もしくは、複数回行うことによって、平面ディスプレイ基板100全面に画素制御素子1を転写する。

【0057】

次に、ピックアップされた画素制御素子1を平面ディスプレイ基板100へ固定する方法について説明する。図15に示すように、平面ディスプレイ基板100の表面には、透明熱可塑性樹脂フィルム101がラミネート加工されている。透明熱可塑性樹脂フィルム101に代えて透明熱可塑性樹脂を塗布して膜形成しても、透明熱可塑性樹脂による平面ディスプレイ基板100としても良い。このような平面ディスプレイ基板100を、図16に示すように、画素制御素子1の転写前に予めヒーター等により加熱しておき、適度に塑性変形可能となった透明熱可塑性樹脂フィルム101上に、ピックアップされた画素制御素子1を埋め込むように転写する。

【0058】

或いは、ピックアップされた画素制御素子1を透明熱可塑性樹脂フィルム101上に載せた後、プレスを行って埋め込むように転写してもよい。このとき、透明熱可塑性樹脂フィルム101は充分に加熱されていないため画素制御素子1との密着性が弱く、真空チャック52に吸着された画素制御素子1が透明熱可塑性樹脂フィルム101上に接触して真空吸着穴53から画素制御素子1が離れる瞬間に、画素制御素子1がわずかに位置ズレしてしまうことがある。そこで、画素制御素子1が真空吸着穴53から離れるときに、真空吸着穴53から圧空をかけて、この圧空による圧力を持って画素制御素子1を透明熱可塑性樹脂フィルム101に載せることにより、画素制御素子1と透明熱可塑性樹脂フィルム101とが密着するため、真空吸着穴53から画素制御素子1を確実に離すとともに、透明熱可塑性樹脂フィルム101上における位置ズレを防止することができる。

【0059】

プレスの方法としては、画素制御素子1の配置後あるいは配置時に、透明熱可塑性樹脂フィルム101を加熱して塑性変形可能としてからプレス装置等（図示せず）によりプレスしてもよいし、プレス装置等を加熱してプレスしてもよい。また、プレスする時期（タイミング）においては、全ての画素制御素子1を配置し終えた後に、一括して平面ディスプレイ基板100をプレスするようにしてもよいし、任意の数量（例えば、平面ディスプレイ基板100上の所定の面積に配置する数量）の画素制御素子1を配置し終えた後にプレスするようにしてもよい。このとき、真空チャック52の真空吸着穴53の周辺をわずかに残して、残りの部分を画素制御素子1の厚さと同じかそれ以上の厚さだけ削り取っておくことが望ましい。例えば、真空吸着穴53に画素制御素子1を吸着させたときに、吸着穴53の周辺部分で画素制御素子1に隠れてしまう領域を残し、残りの部分を上記のように削り取る等である。これにより、既に配置されている画素制御素子1が真空チャック52（特に辺縁部）に干渉して位置ズレしてしまうことが防止される。また、ピックアップ時において、ピックアップ用基板9上におけるピックアップされていない画素制御素子1（すなわち、未配置の画素制御素子1）に真空チャック52が干渉することによる位置ズレや画素制御素子1を損傷してしまうことが防止される。

【0060】

また、画素制御素子1の埋め込みにおける別の方法として、レーザー光の照射等により局所的に加熱するようにしてもよい。この場合、画素制御素子1を転写する場所が局所的に可塑化するため、埋め込むように力を加えて転写したときに、既に転写されている画素制御素子1近辺の透明熱可塑性樹脂フィルム101を変形させて位置ズレを起こすことが防止される。

【0061】

また、上述したように、真空チャック52の画素制御素子1を吸着する面（吸着面）には、フッ素樹脂が塗布されているため、真空チャック52の吸着面に透明熱可塑性樹脂フィルム101等による透明な熱可塑性樹脂膜が付着してしまわない。これにより、本発明においては、画素制御素子1を透明熱可塑性樹脂フィルム101に正確かつ確実に配置することができるため、透明熱可塑性樹脂フィルム101に従来の特許文献1や非特許文献1における凹部をあらかじめ形成する工程が不要となる。図17は、透明熱可塑性樹脂フィルム101に画素制御素子1を埋め込むように転写された状態を示す。

【0062】

また、図17に示されるように、透明熱可塑性樹脂フィルム101へ画素制御素子1を埋め込むように転写すると、特に画素制御素子1の周辺部に透明熱可塑性樹脂フィルム101の凹変形103が生じる場合がある。この凹変形103の平坦化及び画素制御素子1を確実に固定化するために、図18のように、平面ディスプレイ基板100の画素制御素子1を転写した面に透明紫外線硬化樹脂膜104を塗布し、図19のように、画素制御素子1を選択転写した反対側の面から、紫外線照射を行う。平面ディスプレイ基板100及び透明熱可塑性樹脂フィルム101は紫外線を透過させるので、紫外線を透過しない画素制御素子1表面以外の透明紫外線硬化樹脂膜104が硬化する。その後、画素制御素子1上の硬化しなかった透明紫外線硬化樹脂膜104を除去する。図20は、除去処理後の平面ディスプレイ基板100を示す。また、透明紫外線硬化樹脂膜104として、その後の液晶ディスプレイ200への組み立てに使用される有機系溶媒の処理に耐えうる材質のものを選択することによって、透明熱可塑性樹脂フィルム101を有機系溶媒から保護することが可能となる。

【0063】

（配線形成方法）

以上に説明した方法で画素制御素子1を平面ディスプレイ基板100上に固定化した後、工程R6において、図21に示すように平面ディスプレイ基板100の表面に透明電極（画素或いは画素電極）102を形成する。次に、図22及び図23に示すように、画素制御素子1と透明電極102との間の配線（画素ライン）107、ゲートライン108及びデータライン109等の配線を形成する。

【0064】

本実施の形態では、複数の画素を制御する画素制御素子1とゲートライン108とデータライン109と画素ライン107等の配線をスクリーンマスクMMを使用したスクリーン印刷による印刷塗布方法によってパターン形成する。複数の画素を制御する画素制御素子1には、図32（a）に示すように、その内部を通過する配線D9、P7、G8が多層構造で形成されている（つまり、縦方向のデータライン109を直線状に維持することができる。）。すなわち、ゲートライン108とデータライン109と画素ライン107等の配線と接続することとなる配線D9、P7、G8が予め形成されている。他方、スクリーンマスクMMとしては、メタルマスクとメッシュマスクがあり、いずれでも良いが、後述する理由からメタルマスクMMを使用することが好ましい。メタルマスクMMを使用したスクリーンマスクMMの一例を示すものが図32（b）で、金属箔のスクリーンマスクMMに、画素ライン107、ゲートライン108、データライン109に対応する破線状の所定パターン（縦横にスリットが形成されたパターン）の穴MD9、MP7、MG8が形成されている。本実施の形態のスクリーン印刷は、メタルマスクMMとしては、厚さが20 μ m程度の金属箔のパターン部分（パターン）に穴を開けて、その部分からインク（配線材料）を塗布する。ここで、符号MD9は図32（c）の平面ディスプレイ100のデータライン109に対応するパターンであり、符号MP7は同じく画素ライン107に対応するパターンであり、符号MG8は同じくゲートライン108に対応するパターンである。なお、縦横の所定パターンMD9、MP7、MG8の中央位置MSに複数の画素を制御する画素制御素子1が位置することとなる。上記画素制御素子1がゲートライン108やデータライン109などの画像全体を制御するために画面全体に設置される配線の一部が画面全体に配置されている複数画素を制御する画素制御素子1の内部を通過する構造

とすると、これによりデータライン108やゲートライン109などの配線を上記スクリーンマスクMMを使用してパターン配線するとき、上記スクリーンマスクMMの縦横の所定パターンのように微小区域ごとに分割したスリット穴MD9, MP7, MG8とすることができ、これらが形成された上記スクリーンマスクMMを使用すれば、平面ディスプレイ基板100にゲートライン108等の配線を一度に形成することができる。この点、従来の液晶ディスプレイにおける配線は、縦横にまっすぐに伸びる配線間にTFTが一つ介在するもので、各画素に信号を送る信号線（データラインやゲートライン）は、縦横はば一直線でつながってしまい、メタルマスク自体の加工は不可能であった。また、その配線方法は、配線材料を平面ディスプレイ基板の全面に薄膜堆積して、それをフォトリソグラフィによるパターン転写により、そして、配線材料薄膜をエッチングし、レジスト膜除去等といった高価で複雑な製造工程となっていた。なお、本実施の形態では、基板上の配線はすべて上記画素制御素子1により区切れる破線パターン（断続的パターン）になるためにすべての配線を上記方法で形成することが可能である。ただし、縦横に配線されるゲートライン108等の配線の主要部分（直線部分）を従来と同様の形成方法で形成しておき、上述した上記画素制御素子1が中心になる接続部分のみ本実施の形態の配線接続方法により形成しても良い。

【0065】

本実施の形態では、データライン108とゲートライン109等の配線の間の破線状の中央部分に上記画素制御素子1が入るために、メタルマスクMMによるスクリーン印刷によって一括した効率の良い配線パターンが平面ディスプレイ基板100に直接配線材料を印刷塗布形成できるため、生産効率が格段に向上する。ただし、メタルマスクMMを使用する理由は、スクリーンメッシュを用いた方法では、10～20 μ m幅の細線の印刷が限界であり、LCD信号線は通常10 μ m程度であることから現状での使用が困難なことによる。これに対して、スクリーン印刷のメタルマスクMMを用いた方法では、10 μ m以下の細線を直接印刷することが可能であり、配線が従来技術よりも安価に実施できる利点がある。

【0066】

次に、工程R7において、図24に示すように平面ディスプレイ基板100の表面に配向膜110を形成し、ラビングを行う。さらに工程R8において、カラーフィルター基板111を貼り合わせた後、工程R9において、液晶112及びスペーサーの注入、封止を行って液晶ディスプレイ200が完成する。

【0067】

（第2の実施の形態の平面ディスプレイ基板の製造方法）

本実施の形態は、図25のフローチャートに示されるように、画素制御素子1の切断工程R10の後に、ピックアップ用基板9への転写工程R11を行うものである。工程R2において、図6に示されるシリコン基板2の機械研磨の後、工程R10として、シリコン基板2に形成した集積回路3の間にて切断できるように、位置合わせ及び画素制御素子1のパターニングを行う。このとき、集積回路3は、シリコン基板2の表面側ではなく、保持基板7に接触する側にあるため、集積回路3の位置を上方から直接目視により確認しながら位置合わせをすることはできない。したがって、シリコン基板2の裏面2bに集積回路3の位置を示す位置合わせマークを設けたり、シリコン基板2と保持基板7とに位置合わせ用の貫通穴を設けたりすることにより、位置合わせをすることができる。また、保持基板7及び第1の粘着テープ8を透明なものとすれば、裏面側から集積回路3の位置を確認することができる。

【0068】

パターニングは、フォトリソグラフィ法などによって行う。パターニング後の状態を図26に示す。次に、図27のように、パターニングによって形成したフォトレジスト11をマスクとして、サンドブラスト加工を行う。サンドブラスト加工によって、個々の画素制御素子1に切り分けた後、フォトレジスト11を剥離する。図28は、フォトレジスト11を剥離した後の様子を示している。

【0069】

次に、工程R11として、図29に示すように、画素制御素子1の裏面とピックアップ用基板9とを第2の粘着テープ10で接着し、保持基板7を介して第1の粘着テープ8を加熱して第1の粘着テープ8及び保持基板7を剥離する。ここで、第1の粘着テープ8を加熱している間は粘着力が低下しているため、剥離によって画素制御素子1が飛び散って、規則的配列が乱れる恐れがある。そのため、加熱による剥離時に、画素制御素子1を若干プレス固定しながら第1の粘着テープ8を加熱することにより、画素制御素子1が飛び散ったり位置ズレを起こしたりしないようにするなどの配慮が必要である。このようにして画素制御素子1を保持基板7からピックアップ用基板9に転写する。このとき、図30に示すように、集積回路3が形成された面は表面側となる。

【0070】

ここで、第1の実施の形態と同様に、第1の粘着テープ8の熱剥離温度が第2の粘着テープ10の熱剥離温度よりも低いものとなるように、それぞれの粘着テープ8、10を選択することは、位置ズレ防止の観点から望ましい。また、それぞれの粘着テープ8、10の粘着力を異なるものとしてもよい。第1の粘着テープ8として、シリコン基板2の機械研磨及び画素制御素子1への切り分け工程において、画素制御素子1及び保持基板7にかかる力に耐え得るだけの粘着力を持つものを選択し、第2の粘着テープ10として、ピックアップしやすい粘着力のものを選択した場合は、より確実に位置ズレを防止し、その後のピックアップ工程がスムーズに行われることとなる。また、第1の実施の形態と同様に、ピックアップする画素制御素子1の近辺のみの粘着力を低下させるようにしてもよい。

【0071】

(実施例)

次に、対角寸法50インチ、解像度SXGA(1280×3色×1024)、開口率80%の液晶ディスプレイを製造する場合について、特許文献1と比較しながら説明する。

(1) 素子形状の比較

本件の方法で、1素子で12画素を制御する場合、Siチップの大きさは、200 μ m程度となる。それに対して、特許文献1で、1素子で1画素を制御する場合、Siチップの大きさは、60 μ m程度になる。

(2) 素子ピッチの比較

本件の方法では、素子ピッチは横1.7mm、縦1.2mm程度となる。特許文献1では、素子ピッチは横0.3mm、縦0.6mm程度となる。

【0072】

以上の前提から、本件の方法と特許文献1を比較すると、(1)「素子加工での生産性」としては、本件の方法での複数画素を制御する画素制御素子の方が、特許文献1の方法での素子よりもはるかに大きいことから、加工による削りしろを少なくでき、材料消費量を低減可能で、加工工数もはるかに少なくなる。(2)素子の基板への転写としては、本件の方法では、画素制御素子を平面ディスプレイ基板に転写するために、規則的配列で並んだ素子から、素子の配置ピッチで真空穴を加工した真空チャックによって、素子を選択的にピックアップし、基板上に転写するが、真空穴としては、直径 ϕ 100 μ m程度でピッチ横1.7mm、縦1.2mmで配列されたものとなる。転写される側のSiチップ基板の大きさが8インチウェハー程度の場合、一度に9000個程度のSiチップをピックアップすることが可能になる。一方、仮に特許文献1の方法によるとすると、 ϕ 40 μ m程度の真空穴を0.3mmピッチで加工する必要がある。また、仮に8インチウェハー基板からSiチップをピックアップする場合、約11万個の真空穴を加工する必要がある。現状の加工技術で、真空チャックとして使用可能な深い穴の加工では、 ϕ 100 μ mは可能で、 ϕ 40 μ mもの微細な穴加工は困難で、しかも、それを極めて多数加工する必要がある。特許文献1の方法は、現実では実現できない。(3)「素子の検査及び修復」についても、本件の方法が、配置する素子個数が少ないことから、素子の検査、修復も容易となる。また、特許文献1の方法(素子の規則的配列)において、「ピックアップ&埋め込み」という方法を実施したとしても、先述のように、1画素を1素子で制御する小さい素

子では、ピックアップする真空チャック自体を加工することが困難となる。なお、素子自体の大きさを大きくすると、開口率を下げるため、液晶ディスプレイの性能を落とすことになる。

【0073】

以上、第1及び第2の実施の形態においては、本発明を液晶ディスプレイの製造に適用した場合を説明したが、本発明はこれに限るものではなく、有機EL等による平面ディスプレイの製造にも広く適用可能である。

【0074】

(画素制御素子の実装装置)

次に、第1及び第2の実施の形態において説明した方法により画素制御素子を実装するための装置について説明する。図31に、本実施の形態による画素制御素子1の実装装置300を示す。この実装装置300は、画素制御素子1の平面ディスプレイ基板100への選択転写時におけるピックアップ機能及び配置機能を有し、図25における工程R5を実施するものである。配置機能は、画素制御素子1を保持する画素制御素子ステージ301及び平面ディスプレイ基板100を保持する基板ステージ302からなる。画素制御素子ステージ301は、静電チャック、低粘着テープなどの手段によって画素制御素子1を保持し、ヒーター或いは紫外線照射装置等の剥離機構303を備えている。また、基板ステージ302は、真空チャック、静電チャック、メカニカルチャックなどによって平面ディスプレイ基板100を保持するものであり、ヒーター等による加熱機構309を備えている。メカニカルチャックを用いる場合は、平面ディスプレイ基板100の端部を保持するものとする。また、画素制御素子ステージ301及び基板ステージ302は、それぞれ回転角度調節機構を有しており、コンピュータ等による制御装置308により回転角度を調節制御される。ピックアップ機能は、画素制御素子1を選択的に吸着するピックアップ装置51、ピックアップ装置51に付随した位置合わせ用カメラ304、X軸調節機構305、Y軸調節機構306、及びZ軸調節機構307からなる。各軸調節機構305、306、307は、それぞれの軸について、ピックアップ装置51を最適な場所に位置合わせするものであり、それぞれ制御装置308により位置合わせ制御される。また、位置合わせ用カメラ304の映像データは制御装置308に送られ、制御装置308のモニタ(図示せず)に映像が表示されるようになっている。

【0075】

以下に、実装装置300を用いた画素制御素子1の実装を説明する。画素制御素子1が保持されているピックアップ用基板9を画素制御素子ステージ301に載置し、平面ディスプレイ基板100を基板ステージ302に載置した後、それぞれの平行調整を行う。平行調整は、ピックアップ用基板9における第1の方向Xと、平面ディスプレイ基板100における第1の方向Xと、X軸調節機構305の可動方向とが平行となるようにそれぞれのステージ301、302の回転角度調節機構を調整するものである。それぞれの基板9、100における第2の方向Y、YとY軸調節機構306の可動方向とが平行となるように平行調整してもよい。平行度の確認の基準として、予め、画素制御素子1を形成したシリコン基板2もしくはピックアップ用基板9及び、平面ディスプレイ基板100に位置合わせマークM1を設置しておくことにより、容易に行うことができる。或いは、画素制御素子1の端部と、平面ディスプレイ基板100の端部とを基準としても良い。そして、平行度の確認は、位置合わせ用カメラ304を使用して制御装置308のモニタを確認しながら、シリコン基板2もしくはピックアップ用基板9の位置合わせマークM2、或いは画素制御素子1及び平面ディスプレイ基板100の端部を観察して、ピックアップ用基板9の第1の方向Xが、X軸調節機構305の可動方向と平行になるように、画素制御素子ステージ301を回転させる。同様に、平面ディスプレイ基板100の第1の方向Xが、X軸調節機構305の可動方向と平行になるように、基板ステージ302を回転させる。このとき、制御装置308において位置合わせ用カメラ304からの信号を画像処理することにより、自動平行調整をさせるようにしてもよい。

【0076】

平行調整後、シリコン基板2 或いはピックアップ用基板9 の位置合わせマークM2 の位置情報と、平面ディスプレイ基板100 の位置合わせマークM1 の位置情報を制御装置308 に記憶させる。これらの位置情報はそれぞれ、X軸調節機構305、Y軸調節機構306 及びZ軸調節機構307 の位置情報からなる。それぞれの位置合わせマークM1、M2 に代えて、例えば画素制御素子1 の左下のチップ（基準とするチップ）位置や、平面ディスプレイ基板100 の手前左を、基準位置として、これらの位置情報を制御装置308 に記憶させてもよい。

【0077】

位置情報の記憶終了後、画素制御素子1 のピックアップを行う。ピックアップ前に、予め剥離機構303 のヒーターや紫外線照射装置を駆動して、ピックアップ用基板9 の第2 の粘着テープ10 を低粘着状態にしておく。また、予め加熱機構309 のヒーターを駆動し、平面ディスプレイ基板100 の透明熱可塑性樹脂フィルム101 を塑性変形可能にしておく。ピックアップ装置51 には、第1 の実施の形態で述べたとおり、真空チャック52 が備えられており、平面ディスプレイ基板100 上における画素制御素子1 のピッチ105、106 と同じピッチ55、56 で、真空吸着穴53 が備えられ、真空吸着穴53 の位置情報は、予め制御装置308 に記憶されている。そして、制御装置308 によりX軸調節機構305、Y軸調節機構306 及びZ軸調節機構307 を駆動させて、真空チャック52 を画素制御素子ステージ301 の上方に移動させ、画素制御素子1 をピックアップする。最初にピックアップする画素制御素子1 を、先の基準位置に最も近い位置にある画素制御素子1 とすると、その後の制御が効率的に行われるので好ましい。

【0078】

第1 の実施の形態において述べた通り、第2 の粘着テープ10 及びピックアップ用基板9 の種類によっては、第2 の粘着テープ10 を低粘着化するとき、紫外線ビーム等のエネルギー線により行うことが可能である。このとき、剥離機構303 として熱線や紫外線ビームを発生するエネルギー線発生装置を使用し、ピックアップ前にこれをスタンバイ状態にしておく。そして、ピックアップ時（或いは直前）に、ピックアップする画素制御素子1 の近辺のみにエネルギー線を照射し、第2 の粘着テープ10 を部分的に低粘着化する。したがって、ピックアップ工程が終わるまで加熱状態（或いは紫外線照射状態）を保つ必要がなく、ピックアップしない画素制御素子1 の近辺の粘着テープ10 が低粘着状態とならないため、ピックアップ基板9 上において画素制御素子1 の配列を乱してしまうことがない。

【0079】

画素制御素子1 をピックアップした真空チャック52 を、X軸調節機構305、Y軸調節機構306 及びZ軸調節機構307 を駆動して平面ディスプレイ基板100 の上方まで搬送し、平面ディスプレイ基板100 上に画素制御素子1 を実装する。これらの画素制御素子1 のピックアップ及び実装を繰り返し行い、平面ディスプレイ基板100 の全面に、画素制御素子1 を実装する。さらに、画素制御素子ステージ301 及びピックアップ装置51 を複数設置しておき、数ロットの画素制御素子1 を並行して実装すると生産性の向上を図ることができる。

【0080】

また、予め加熱機構309 により透明熱可塑性樹脂フィルム101 が塑性変形可能となっているため、真空チャック52 を透明熱可塑性樹脂フィルム101 に押し付けるように画素制御素子1 を実装すると、画素制御素子1 が透明熱可塑性樹脂フィルム101 に埋め込まれるように配置される。加熱機構309 により予め加熱しないか、或いは基板ステージ302 に加熱機構309 を設けずに、画素制御素子1 を、平面ディスプレイ基板100 （透明熱可塑性樹脂フィルム101 ）上に配置した後に、上方から加熱プレスして、透明熱可塑性樹脂フィルム101 に埋め込むように実装しても良い。また、裏面側からレーザー光の照射等により透明熱可塑性樹脂フィルム101 を局所的に加熱するようにしてもよい。

【0081】

画素制御素子1の実装後に、透明紫外線硬化樹脂膜104を使用する場合は、平面ディスプレイ基板100の画素制御素子1配置面に透明紫外線硬化樹脂膜104を塗布した後、別の紫外線照射装置（図示せず）を用いて、平面ディスプレイ基板100裏面より紫外線照射を行うことによって、画素制御素子1の固定化を行う。このとき、基板ステージ302に紫外線照射装置を組み込んでおいても良い。

【0082】

この実装装置300は、ピックアップ用基板9上の画素制御素子1をピックアップして平面ディスプレイ基板100に実装するものであるが、第1及び第2の実施の形態におけるピックアップ及び実装工程R5以外の工程は、周知の製造装置（例えば、半導体製造装置やフォトリソグラフィ装置等）を用いて行うことができる。すなわち、画素制御素子1の実装に関する装置が既に導入されている場合は、本実施の形態における実装装置300のみを新規に導入するだけで、第1及び第2の実施の形態において説明した画素制御素子の実装方法を行うことができることとなる。

【0083】

（実施例）

上記の実装装置300を用いて、実際に液晶ディスプレイ用の平面ディスプレイ基板100に画素制御素子1を選択転写した例を説明する。本実施例の液晶ディスプレイ200は、対角寸法50インチ、解像度SXGAである。8インチ（直径200mm）のシリコン基板2に、縦200 μ m \times 横150 μ mの大きさの画素制御素子1を、第1の方向Xのピッチ5を0.215mm、第2の方向Yのピッチ6を0.244mm、厚さを0.06mmで製作した場合、1枚のシリコン基板（素子形成部分は140mm \times 140mm）から、37万個の画素制御素子1が製作される。対角寸法50インチ（1107mm \times 623mm）でSXGA（1280 \times 1024 \times 3色）の解像度の液晶ディスプレイ200を製造するとした場合、一画素（3色）の大きさは0.86mm \times 0.61mmとなる。すなわち、平面ディスプレイ基板100上での画素制御素子1の間隔は、第1の方向Xのピッチ105は1.72mm、第2の方向Yのピッチ106は1.22mmとなる。その際に必要な画素制御素子1は、約33万個である。すなわち、1枚のシリコン基板2で、50インチの液晶ディスプレイ200に使用される平面ディスプレイ基板100の1枚分の画素制御素子1を製作できる。

【0084】

このようにして製作された画素制御素子1をピックアップする真空チャック52には、径が100 μ mの真空吸着穴53が、第1の方向Xのピッチ55が1.72mm、第2の方向Yのピッチ56が1.22mmとなるように、第1の方向Xに80（=K）列、第2の方向Yに102（=L）行形成されているものを使用した。

【0085】

この真空チャック52によって、画素制御素子1の中から、平面ディスプレイ基板100の第1の方向Xのピッチ105（=1.72mm）、第2の方向Yのピッチ106（=1.22mm）で、K \times L（=80 \times 102=8160）個の画素制御素子1をピックアップし、平面ディスプレイ基板100に転写した。これを繰り返して行い、画素制御素子1を平面ディスプレイ基板100の全面に転写した。その結果、第1の方向Xに8回、第2の方向Yに5回の計40回の選択転写によって、平面ディスプレイ基板100の全面に画素制御素子1を転写できた。

【0086】

（本実施の形態と特許文献2との比較）

特許文献2の発明は、本発明の画素制御素子に相当する「素子ブロック13」を一つずつピックアップして転写しているのに対して、本発明は、複数の画素制御素子を所定のピッチでピックアップして転写している。すなわち、特許文献2には、「素子ブロック13の単位での素子形成基板11からの剥離が行われ（段落番号0018）」、「転写後では、素子ブロック13同士の間隔が拡大したものとなる（段落番号0023）」と記載されている。また、段落番号0030及び図8には、特許文献2で使用される把持手段（本発

明のピックアップ装置)について説明されている。把持手段には、素子ブロック13(本発明の画素制御素子)を吸着する中空部35やガス抜き穴34(本発明の真空吸着穴)について記載されているが、中空部35やガス抜き穴34は一つであり、把持手段(ピックアップ装置)によって吸着把持できる画素ブロック13は一つとなっている。つまり、特許文献2においては、一つの素子ブロック13(本発明の画素制御素子)を吸着把持可能な把持手段(ピックアップ装置)を使用して、素子ブロック13ごとにピックアップが行われ、表示装置基板14(平面ディスプレイ基板)に転写される(図36(a))。このため、ピックアップ及び転写は素子ブロック13(本発明の画素制御素子)ごとに、その個数と同回数行う必要があり、さらに、一つの素子ブロック13をピックアップ及び転写するごとに表示装置基板14上において位置合わせを行う必要がある。

【0087】

これに対して、本発明は、「上記画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し、ピックアップ装置には、画素制御素子のチャッキングを行う真空吸着穴が、前記第1の方向に対応する方向に p_x の配列ピッチで形成され、かつ前記第2の方向に対応する方向に p_y の配列ピッチで形成されており、平面ディスプレイ基板上での画素制御素子の配列ピッチ p_x 、 p_y に対応する画素制御素子のみを選択的に前記ピックアップ装置に吸着保持させて、平面ディスプレイ基板に転写する(請求項1参照)」と記載されているように、画素制御素子用基板の画素制御素子の配列ピッチ(p_x/m 、 p_y/n)とピックアップ装置の真空吸着穴の配列ピッチ(p_x 、 p_y)は、平面ディスプレイ基板の配列ピッチ(p_x 、 p_y)と関連付けられていることから、一回のピックアップにより平面ディスプレイ基板上での配列ピッチ(p_x 、 p_y)で複数の画素制御素子が選択され、その配列ピッチを保ったまま平面ディスプレイ基板に転写されることとなる(図36(b))。すなわち、段落番号0049に記載のように、第1の方向Xには自然数 m 個ごとに($m-1$ 個おきに)選択し、第2の方向Yには自然数 n 個ごとに($n-1$ 個おきに)選択することとなるため、図13の斜線が付された箇所の複数の画素制御素子1が選択的にピックアップされることとなる。したがって、特許文献2のように、素子ブロック13(本発明の画素制御素子)ごとにピックアップ及び転写する場合と比較して、ピックアップ及び転写の回数が少なく、生産効率が低い。

【0088】

また、表示装置基板14(本発明の平面ディスプレイ基板)において素子ブロック13(本発明の画素制御素子)ごとに位置合わせが必要な特許文献2と比較して、ピックアップした時点で平面ディスプレイ基板上での配列ピッチ(p_x 、 p_y)となっているため、複数の画素制御素子の位置合わせが一度で行われる。この効果については、段落番号0048の「したがって、この真空チャック52によって、平面ディスプレイ基板100上における第1の方向Xのピッチ105及び第2の方向Yのピッチ106を満たす画素制御素子1を、一度に最大 $K \times L$ 個ピックアップし、平面ディスプレイ基板100に転写することができる。」や、段落番号0049の「次のピックアップ時は、例えば、真空チャック52をピックアップ用基板9上において幅 p_x/m だけ第1の方向X(図13において右方向)にずらした位置に来るようにすれば、既にピックアップされた画素制御素子1(図13において斜線が付されたもの)の右隣に位置する画素制御素子1を、前回のピックアップ時と同様に選択的にピックアップすることができる。」と明示されている。そして、このような位置合わせを行いながら正確にピックアップするものが、本発明の特徴である。

【0089】

この点、特許文献2では、段落番号0017に「各薄膜トランジスタ素子12の間隔は素子間分離を図ることができる距離であれば良い」と記載されており、画素形成用基板1

1 (本発明の画素制御素子用基板) における各薄膜トランジスタ素子12の配列ピッチについてはまったく考慮されていない。このことから、各薄膜トランジスタ素子12の集合体である素子ブロック13 (画素制御素子) の配列ピッチについてもまったく考慮されていないことがわかる。

【0090】

特許文献2においては、図36 (a) に示すように、転写元 (画素制御素子用基板) と転写先 (平面ディスプレイ基板) において、画素ブロック13 (画素制御素子) の配列ピッチが同一となるように対応付けられると考えられる。このような単なる対応付けでは、画素ブロック13 (画素制御素子) が画素制御素子用基板に拡散した状態で形成され、画素制御素子用基板の面積当りに対する画素制御素子の生産数が大変少ないものとなってしまう。

【0091】

これに対して、本発明は、「画素制御素子用基板に、その第1の方向については平面ディスプレイ基板上における第1の方向での画素制御素子の配列ピッチ p_x を自然数 m で除した p_x/m の配列ピッチ、及び、第1の方向に直交する第2の方向については平面ディスプレイ基板上における第2の方向での画素制御素子の配列ピッチ p_y を自然数 n で除した p_y/n の配列ピッチとなるように画素制御素子を複数形成し」とあるように、画素制御素子用基板には、画素制御素子が平面ディスプレイ基板の配列ピッチ (p_x , p_y) を自然数 (m , n) で除した配列ピッチ (p_x/m , p_y/n) で形成されており、画素制御素子用基板と平面ディスプレイ基板との対応付けを行いながらも、画素制御素子を画素制御素子用基板に密集した状態で形成できるようになっている (図36 (a))。これにより、上記単純な対応付けと比較して、画素制御素子用基板の面積当りに対する画素制御素子の生産効率が飛躍的に高くなっている。

【0092】

また、上述したように、「素子ブロック13」は4つの薄膜トランジスタ素子12がその外周の4つの画素を各々制御するものの集合であると考えられる。具体的には、図35 (a) に示すように、田の字状の4つの画素の中央にこれらの4つの画素を制御する4つの薄膜トランジスタ素子12が密集するように配置されているものである。引用文献2もこれと同様である (図5参照)。すなわち、特許文献2の素子ブロック13 (本発明の画素制御素子に相当) は、一つの画素を制御する一つの薄膜トランジスタ素子12が複数集合し、複数の薄膜トランジスタ素子12で複数の画素を制御するものであるのに対して、本発明の画素制御素子は一つの集積回路で複数の画素を制御するものである点で異なる。請求項1の「一つの集積回路で複数の画素を制御する画素制御素子」を本発明の一実施の形態の液晶ディスプレイに適用した場合、液晶112を介してカラーフィルター基板111と対向する平面ディスプレイ基板100に一つの集積回路で複数画素 (例えば3色×4画素) の制御を行う画素制御素子とその配線と共に複数配置してなる。通常、ディスプレイでの配線部分は、光遮蔽部となる。このため、特許文献2のように、複数個の画素を一つの素子で制御使用とした場合、配線部分が素子に集中し、その部分が光遮蔽部となる。これに対して、本願発明では、上記画素制御素子とその配線により、省配線化が可能で、開口率の向上などの点での効用がある。

【図面の簡単な説明】

【0093】

- 【図1】 集積回路の概略を示す上面図
- 【図2】 集積回路上に保護膜を形成した状態を示す上面図
- 【図3】 シリコン基板上に集積回路が形成された状態を示す上面図
- 【図4】 平面ディスプレイ基板の上面図
- 【図5】 シリコン基板の上面図
- 【図6】 シリコン基板の機械研磨を示す断面図
- 【図7】 シリコン基板の表裏反転を示す断面図
- 【図8】 表裏反転後のシリコン基板の断面図

【図 9】 パターニングされたシリコン基板の断面図

【図 10】 サンドブラスト加工の説明図

【図 11】 フォトレジスト剥離後のシリコン基板の断面図

【図 12】 真空チャックの上面図

【図 13】 画素制御素子の選択の説明図

【図 14】 画素制御素子のピックアップを示す断面図

【図 15】 熱可塑性樹脂フィルムをラミネート加工した平面ディスプレイ基板の断面図

【図 16】 画素制御素子の実装を示す説明図

【図 17】 画素制御素子の実装後の平面ディスプレイ基板の断面図

【図 18】 透明紫外線硬化樹脂膜を塗布した平面ディスプレイ基板の断面図

【図 19】 紫外線照射を示す説明図

【図 20】 紫外線硬化樹脂膜が一部除去された平面ディスプレイ基板の断面図

【図 21】 透明電極が形成された平面ディスプレイ基板の断面図

【図 22】 配線が形成された平面ディスプレイ基板の断面図

【図 23】 平面ディスプレイ基板の上面図

【図 24】 液晶ディスプレイの断面図

【図 25】 液晶ディスプレイ製造工程のフローチャート

【図 26】 パターニングされたシリコン基板の断面図

【図 27】 サンドブラスト加工の説明図

【図 28】 フォトレジスト剥離後のシリコン基板の断面図

【図 29】 シリコン基板の表裏反転を示す説明図

【図 30】 表裏反転後のシリコン基板の断面図

【図 31】 画素制御素子の実装装置の概略図

【図 32】 (a) は、内部を通過する配線が形成された画素制御素子の例と、この画素制御素子を使用して、スクリーン印刷により配線形成する際のスクリーンマスクの例を平面ディスプレイ基板の上面図と比較して示す図であり、(b) が (c) の平面ディスプレイ基板の配線に対応するスクリーンマスクの図

【図 33】 本発明の画素配列の他の例を示す平面図

【図 34】 本発明の画素配列の他の例を示す平面図

【図 35】 特許文献 2 と本発明の内容を比較して説明する図

【図 36】 特許文献 2 と本発明の内容を比較して説明する図

【図 37】 特許文献 2 と本発明の内容を比較して説明する図

【図 38】 従来の画素配列の例を示す平面図である。

【符号の説明】

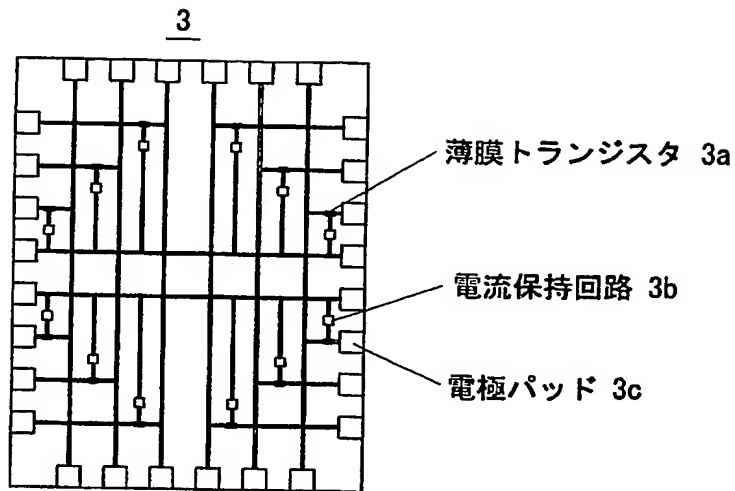
【0094】

- 1 画素制御素子
- 2 シリコン基板 (画素制御素子用基板)
- 2 a 集積回路形成面
- 2 b 裏面
- 3 集積回路
- 3 a 電子デバイス
- 3 b 電流保持回路
- 3 c 電極パッド
- 4 シリコン膜
- 5 シリコン基板上における第 1 の方向のピッチ
- 6 シリコン基板上における第 2 の方向のピッチ
- 7 保持基板
- 8 第 1 の粘着テープ
- 9 ピックアップ用基板

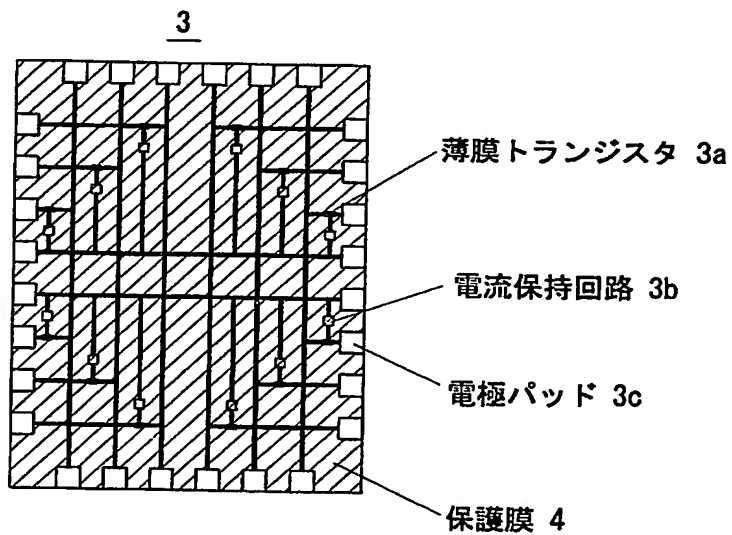
1 0	第 2 の粘着テープ
1 1	フォトレジスト
5 1	ピックアップ装置
5 2	真空チャック
5 3	真空吸着穴
5 5	第 1 の方向のピッチ
5 6	第 2 の方向のピッチ
1 0 0	平面ディスプレイ基板
1 0 1	透明熱可塑性樹脂フィルム
1 0 2	透明電極
1 0 3	凹変形
1 0 4	透明紫外線硬化樹脂膜
1 0 5	平面ディスプレイ基板上における第 1 の方向のピッチ
1 0 6	平面ディスプレイ基板上における第 2 の方向のピッチ
1 0 7	配線（信号線）
1 0 8	ゲートライン
1 0 9	データライン
1 1 0	配向膜
1 1 1	カラーフィルター基板
1 1 2	液晶
1 1 3	耐溶剤層
1 1 4	カラーフィルター
1 1 5	カラーフィルター基板用透明電極
2 0 0	液晶ディスプレイ
3 0 0	実装装置
3 0 1	画素制御素子ステージ
3 0 2	基板ステージ
3 0 3	剥離機構
3 0 4	位置合わせ用カメラ
3 0 5	X 軸調節機構
3 0 6	Y 軸調節機構
3 0 7	Z 軸調節機構
3 0 8	制御装置
3 0 9	加熱機構
K, L, m, n	自然数
MM	メタルマスク（スクリーンマスク）
MD 9, MP 7, MG 8	所定パターン

【書類名】図面

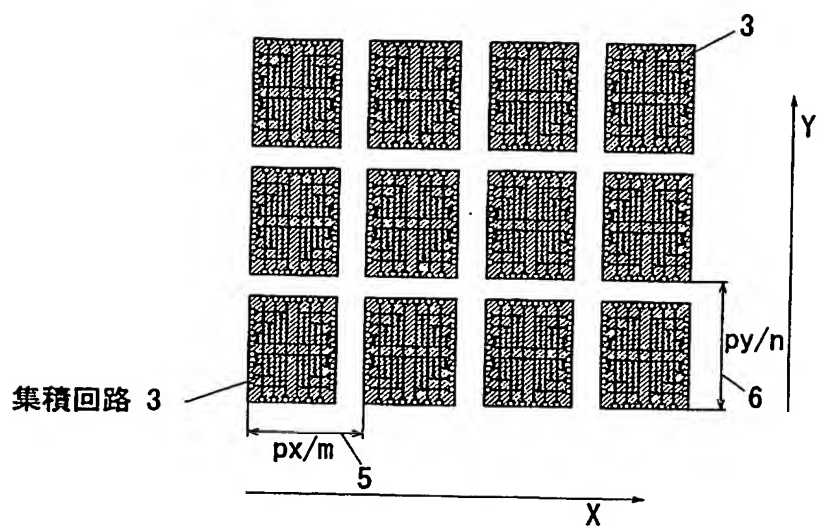
【図 1】



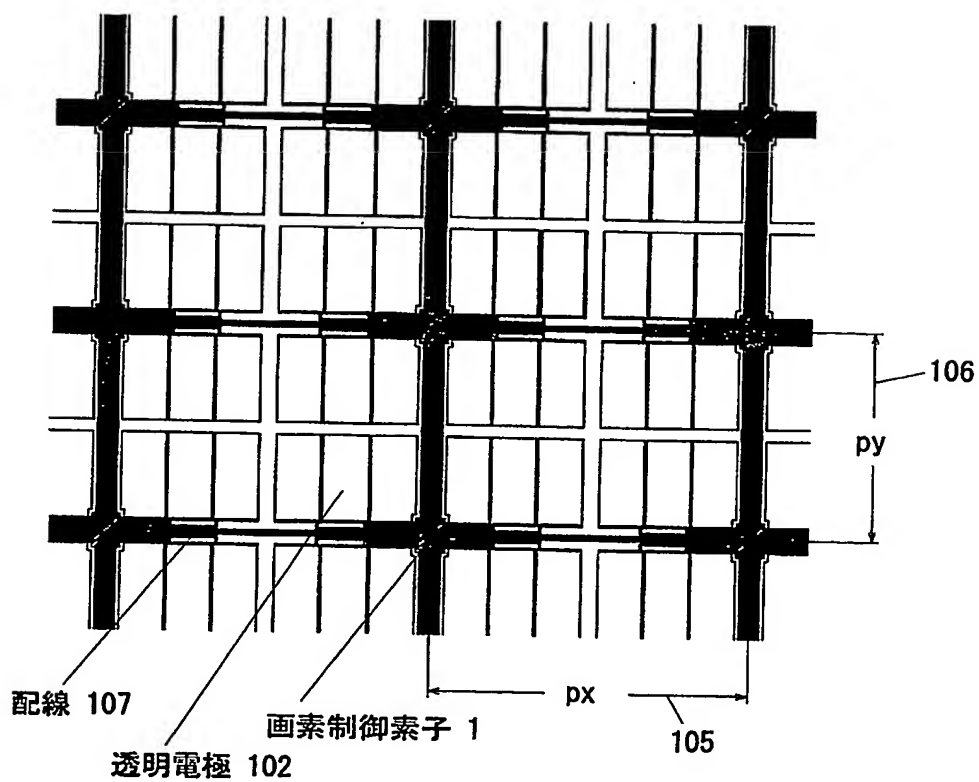
【図 2】



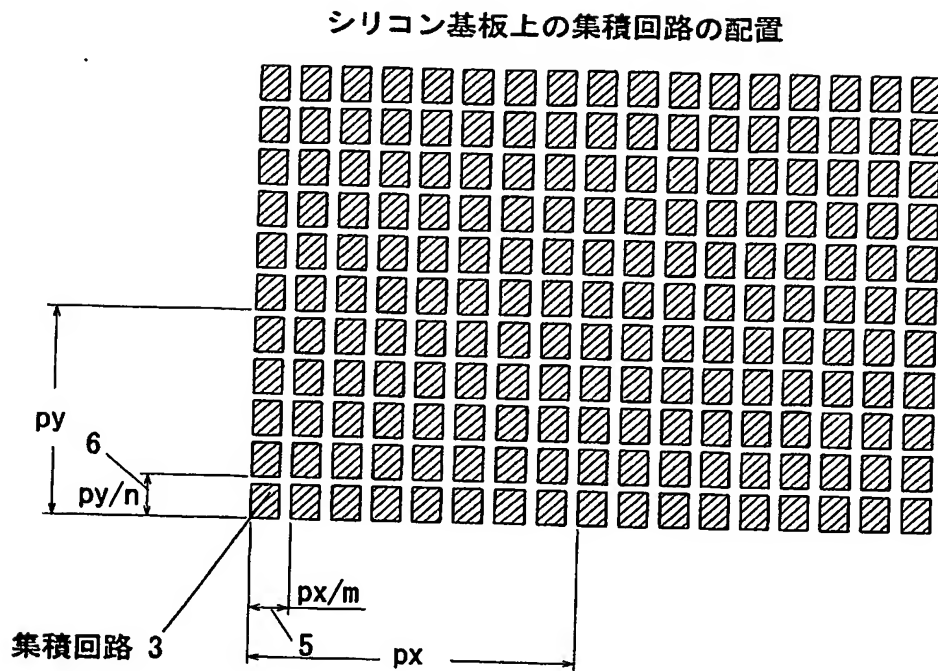
【図 3】



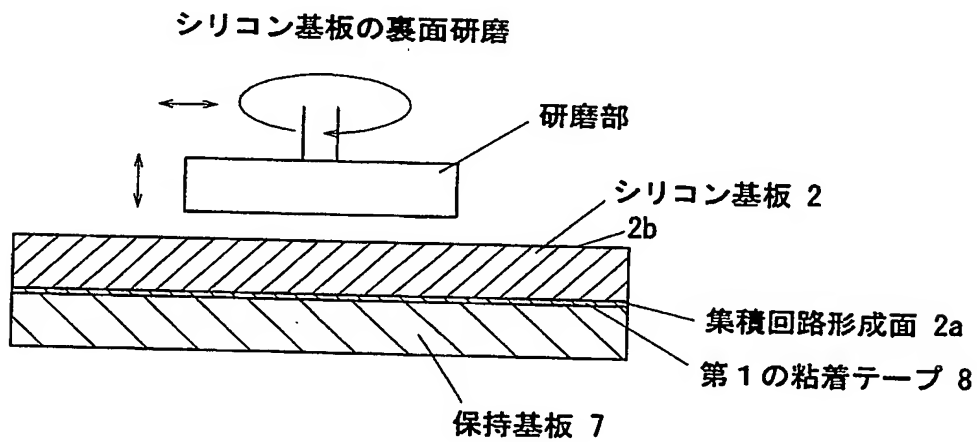
【図 4】



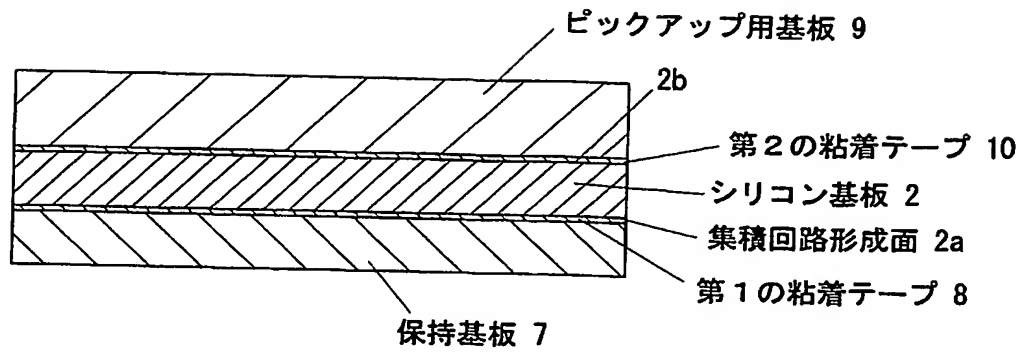
【図 5】



【図 6】

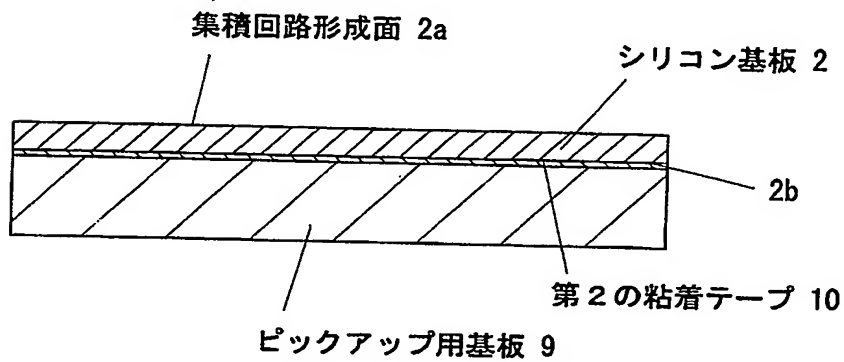


【図 7】



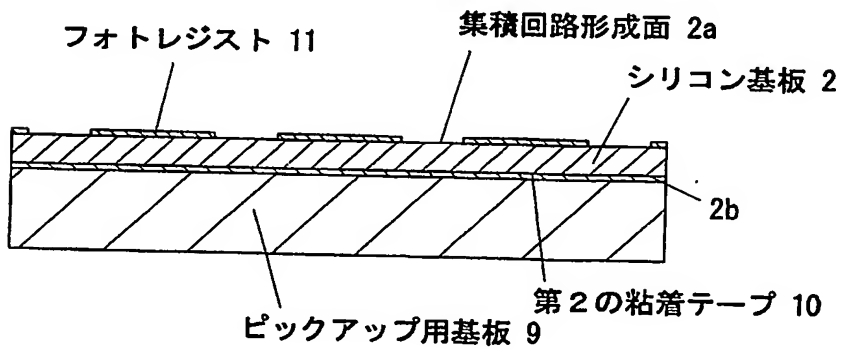
【図 8】

シリコン基板の表裏反転



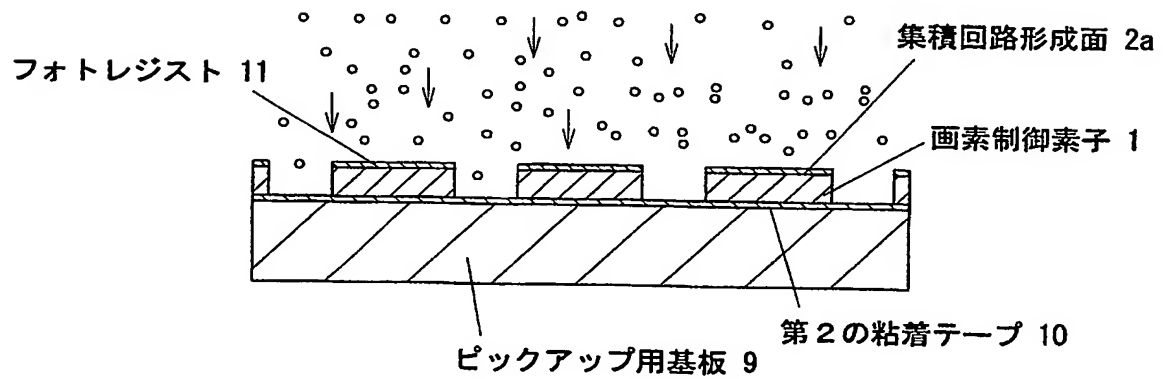
【図 9】

シリコン基板のパターニング



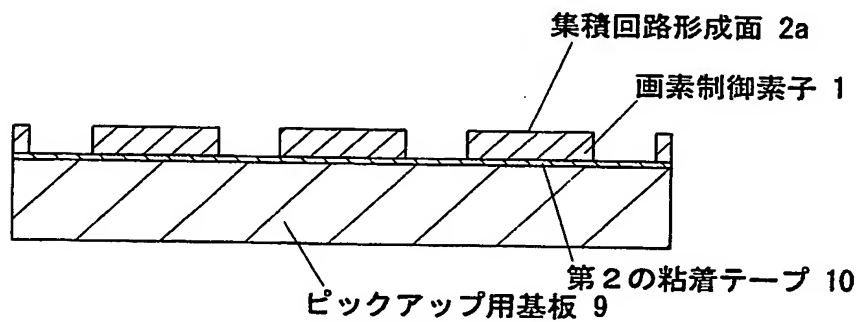
【図10】

サンドブラスト加工による集積回路チップへの切り分け

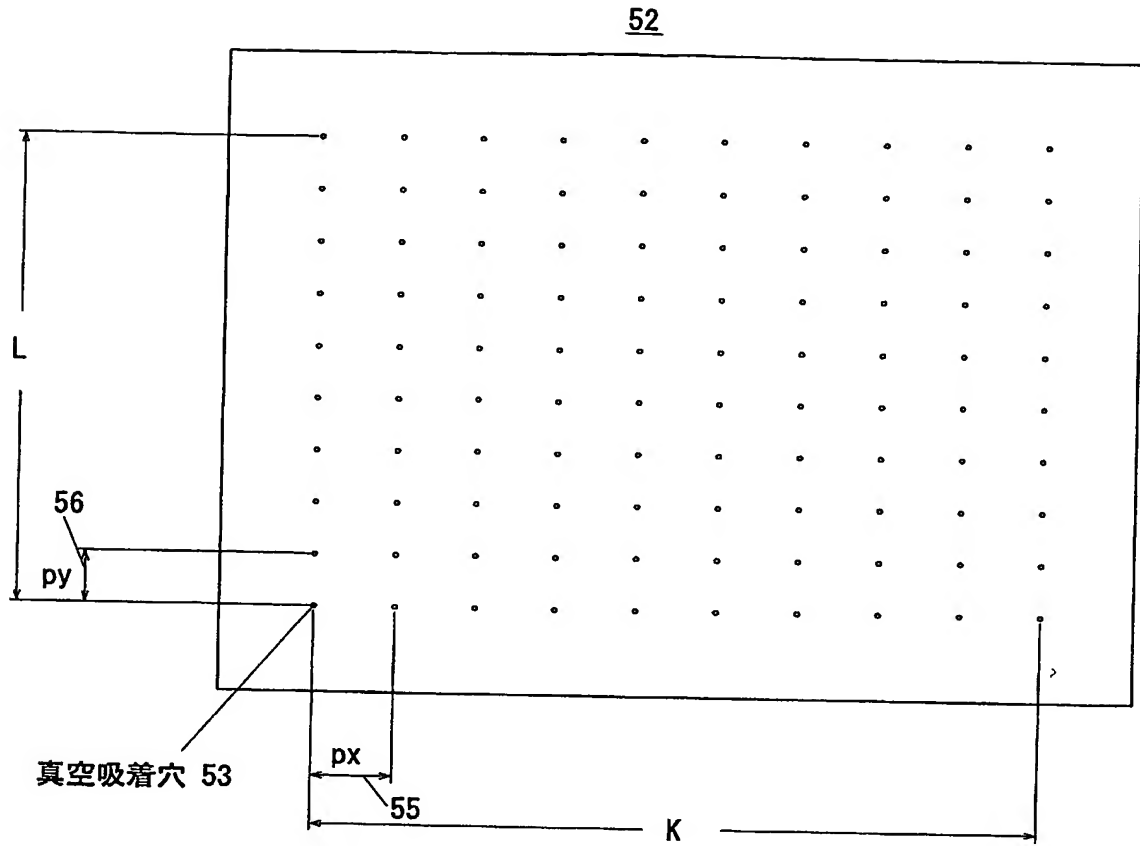


【図11】

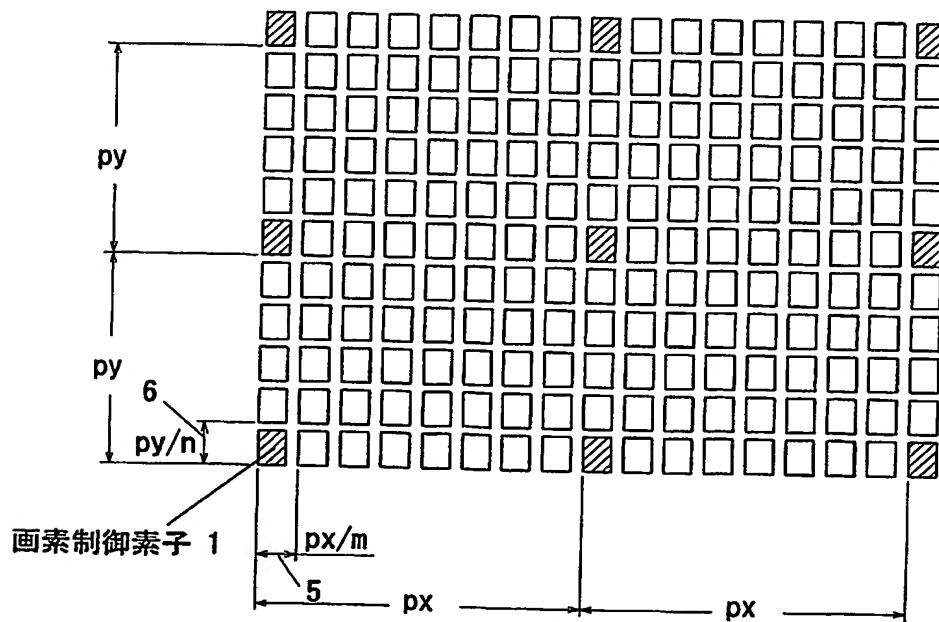
フォトレジストの剥離



【図 1 2】

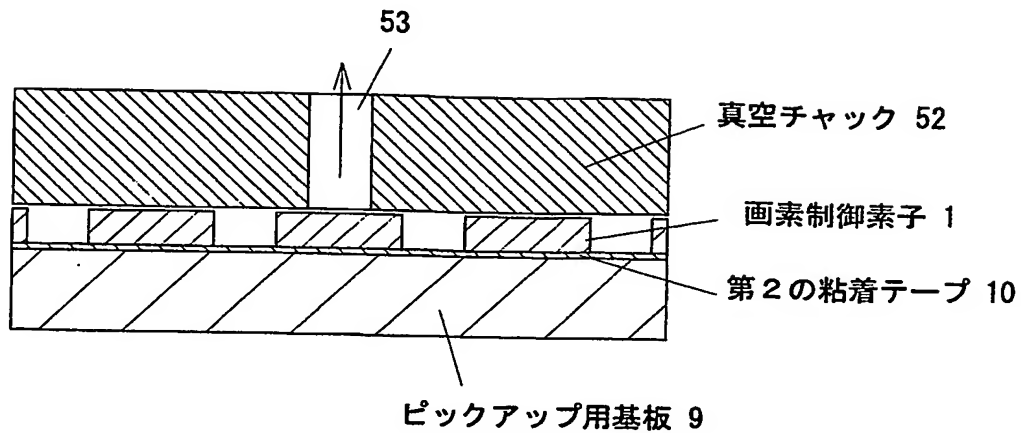


【図 1 3】



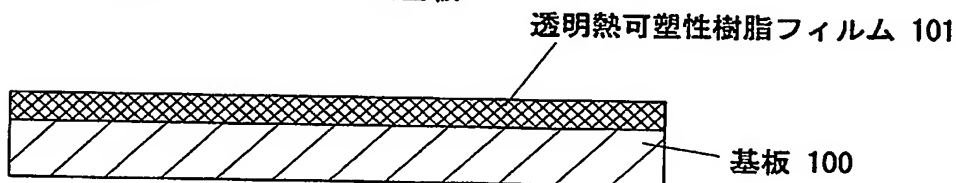
【図14】

画素制御の真空チャックによるピックアップ



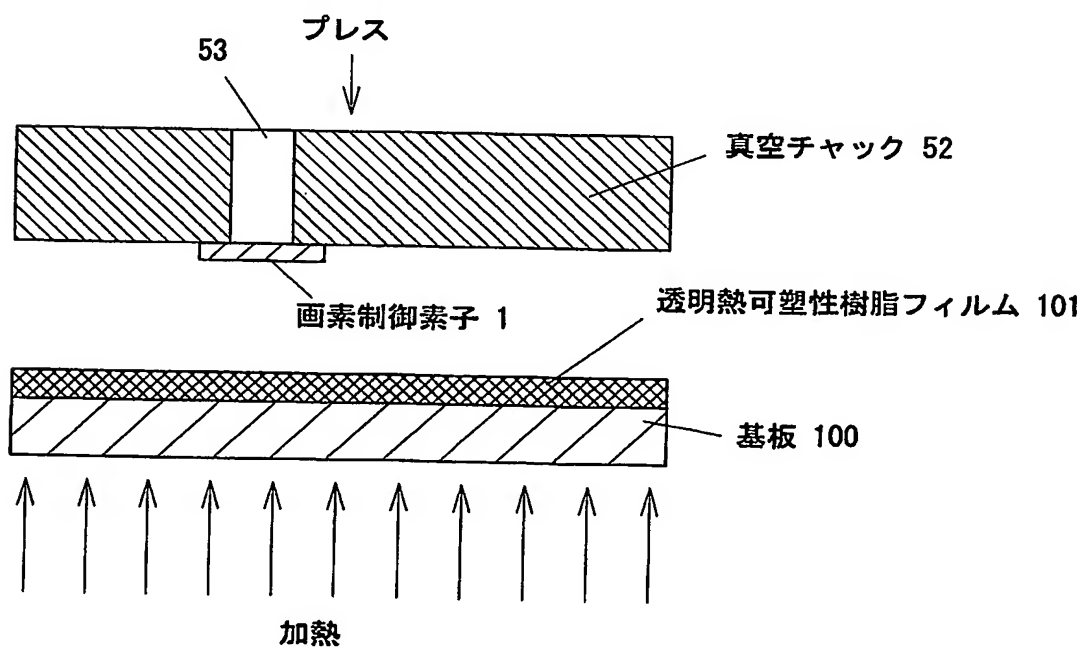
【図15】

フィルムをラミネートした基板



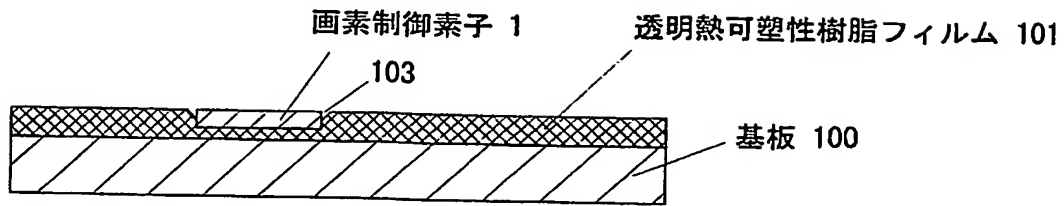
【図16】

画素制御素子の埋め込み



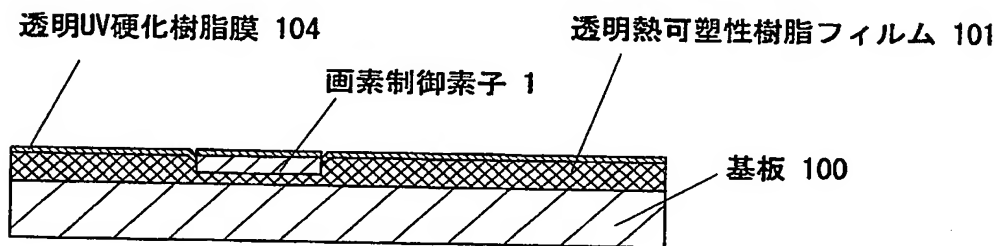
【図 1 7】

画素制御素子埋め込み後



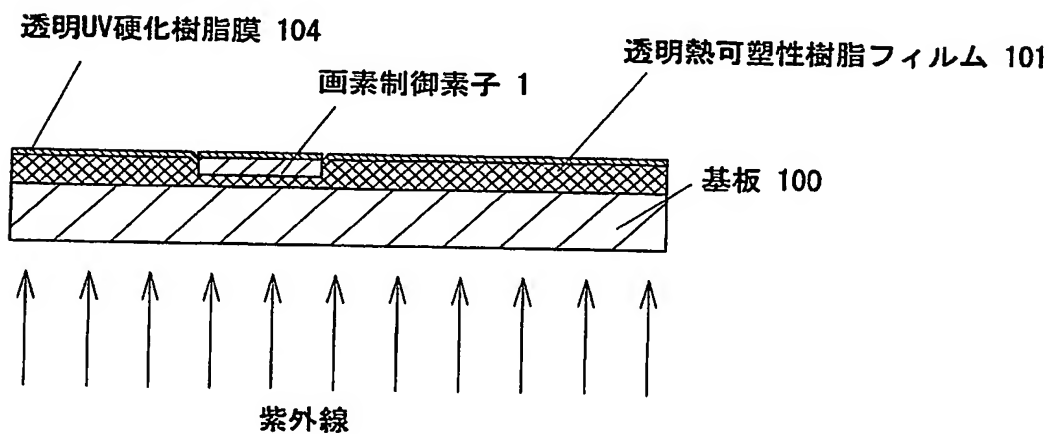
【図 1 8】

透明UV硬化樹脂膜の塗布



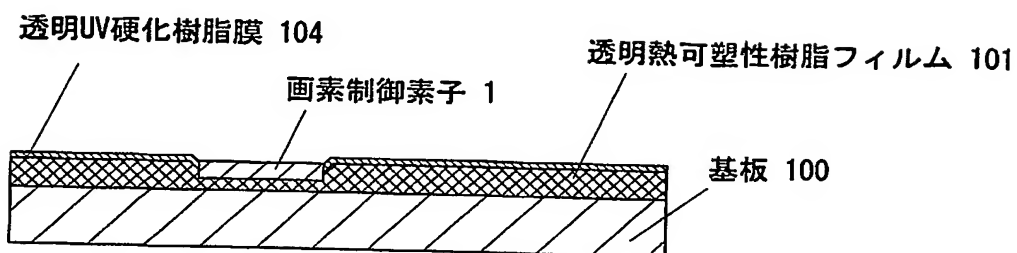
【図 1 9】

UV照射



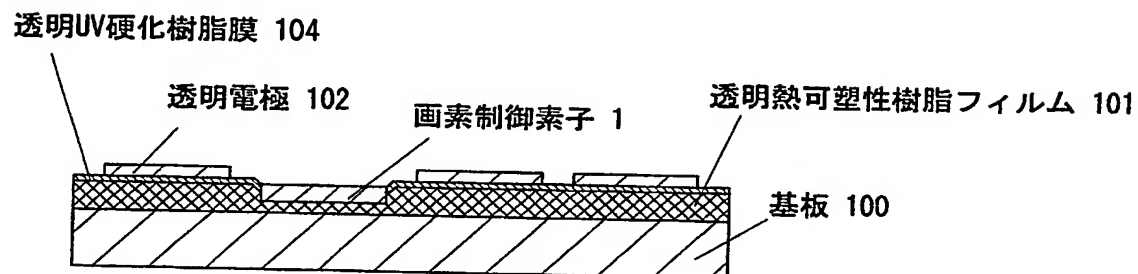
【図 20】

硬化しなかったUV照射硬化樹脂除去後



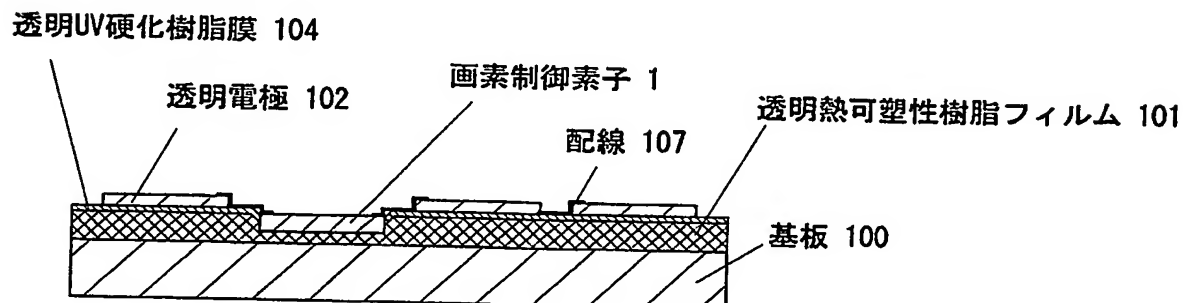
【図 21】

透明電極形成



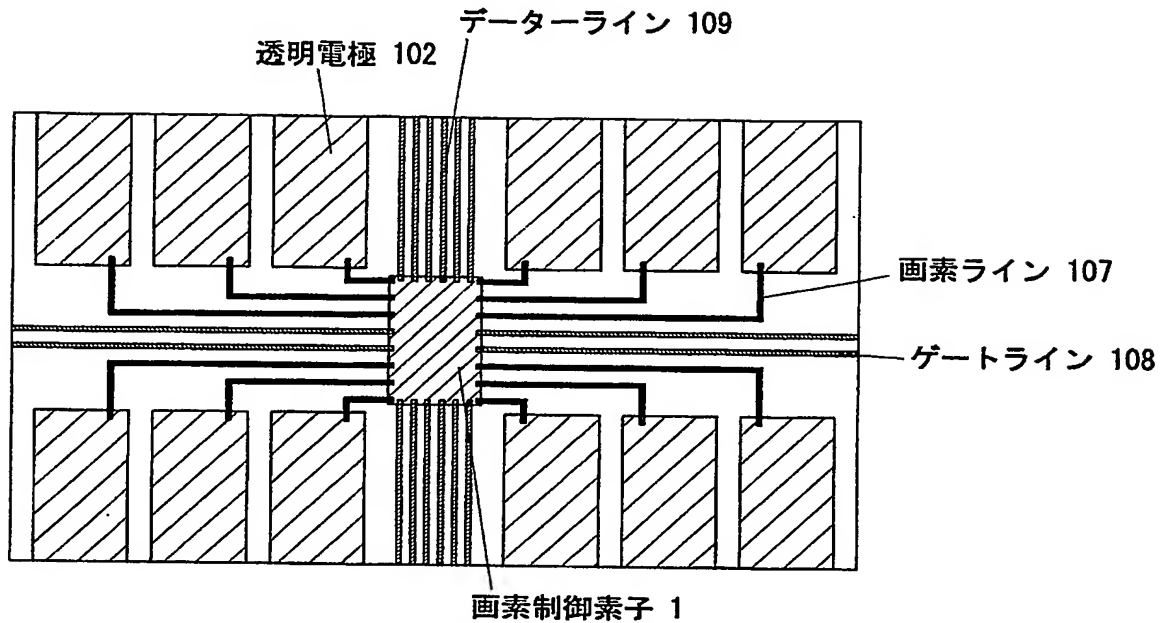
【図 22】

配線形成



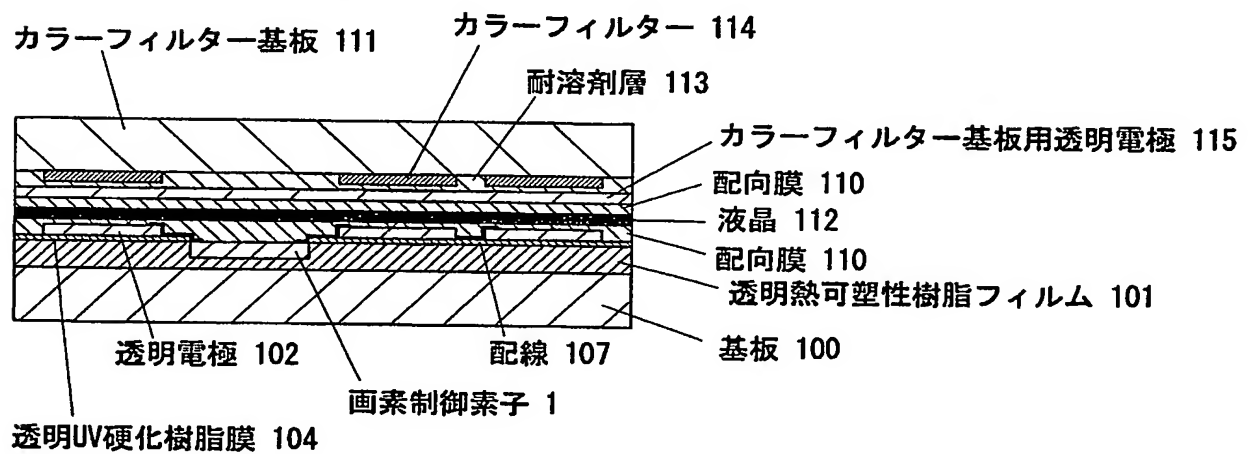
【図 23】

ディスプレイ基板上面図

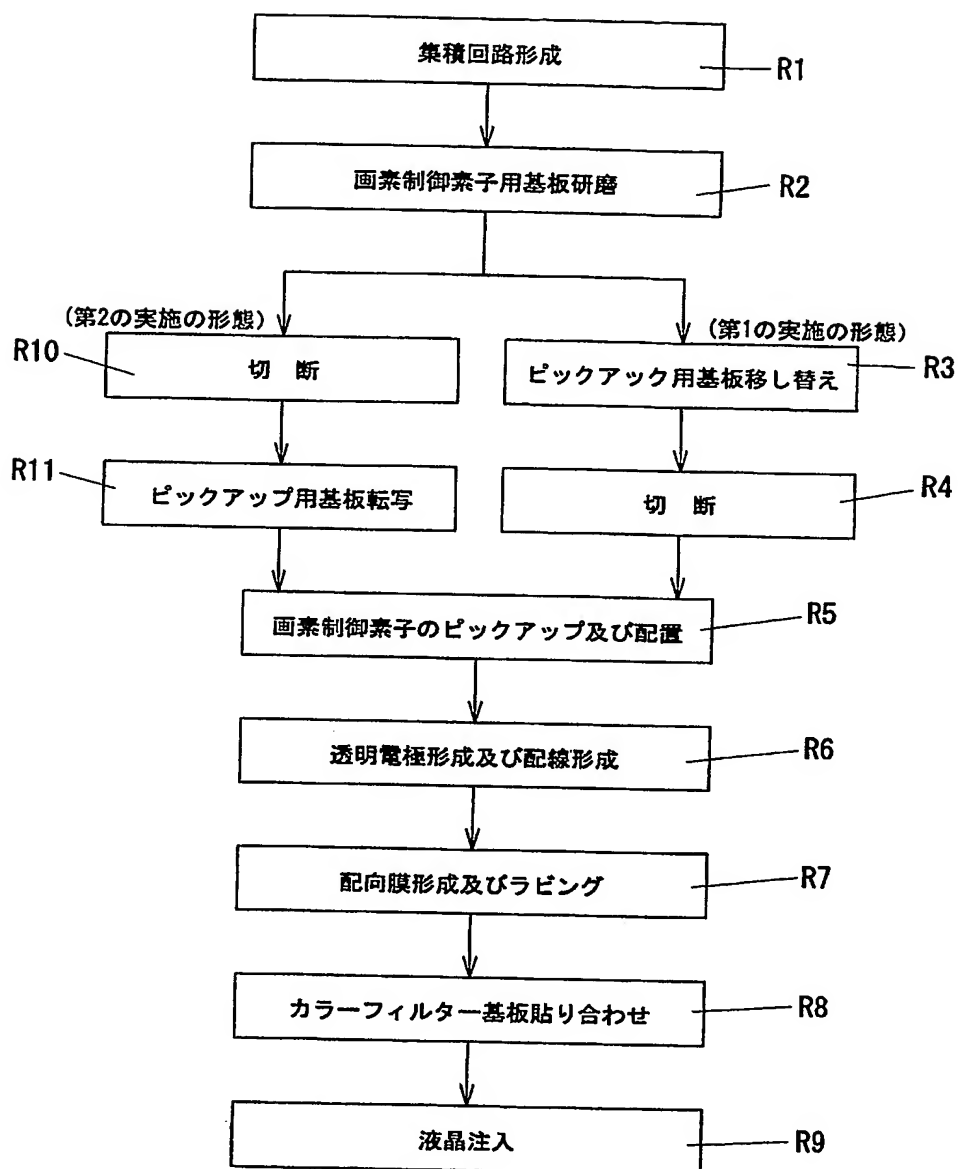


【図 24】

液晶ディスプレイ完成
200

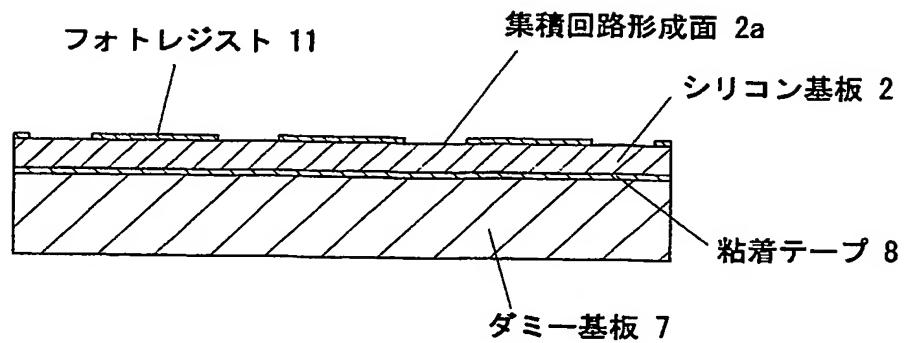


【図 25】



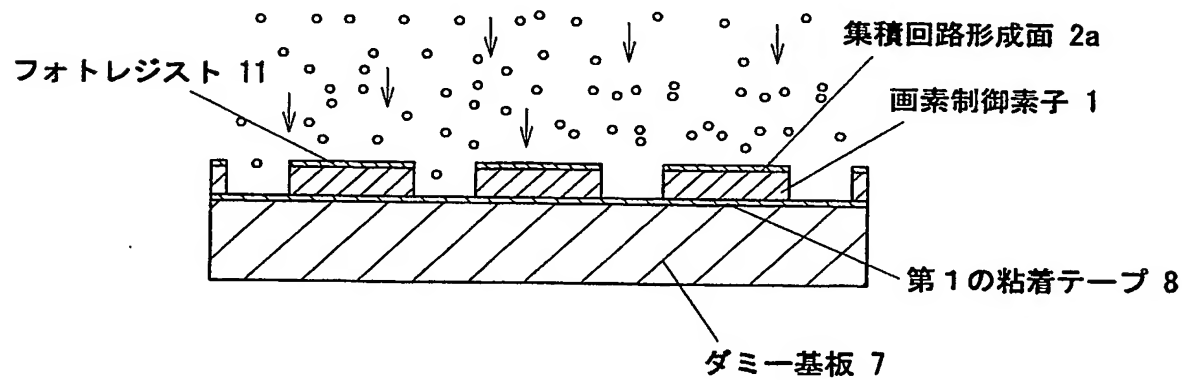
【図 26】

シリコン基板のパターニング

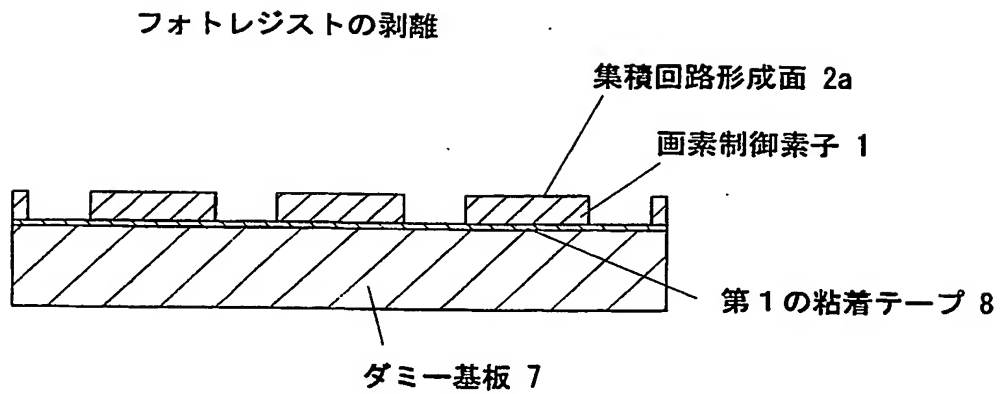


【図 27】

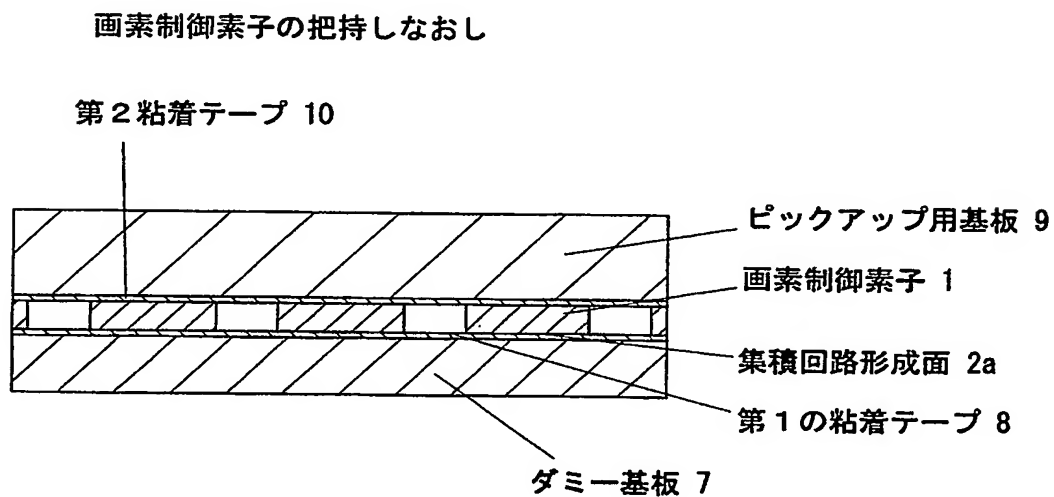
サンドブラスト加工による集積回路チップへの切り分け



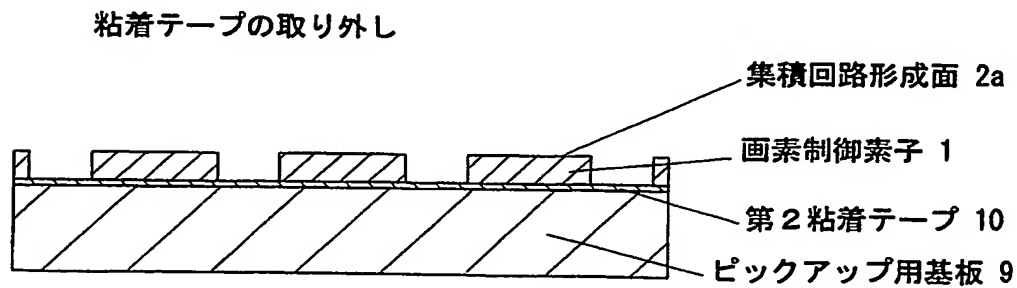
【図 28】



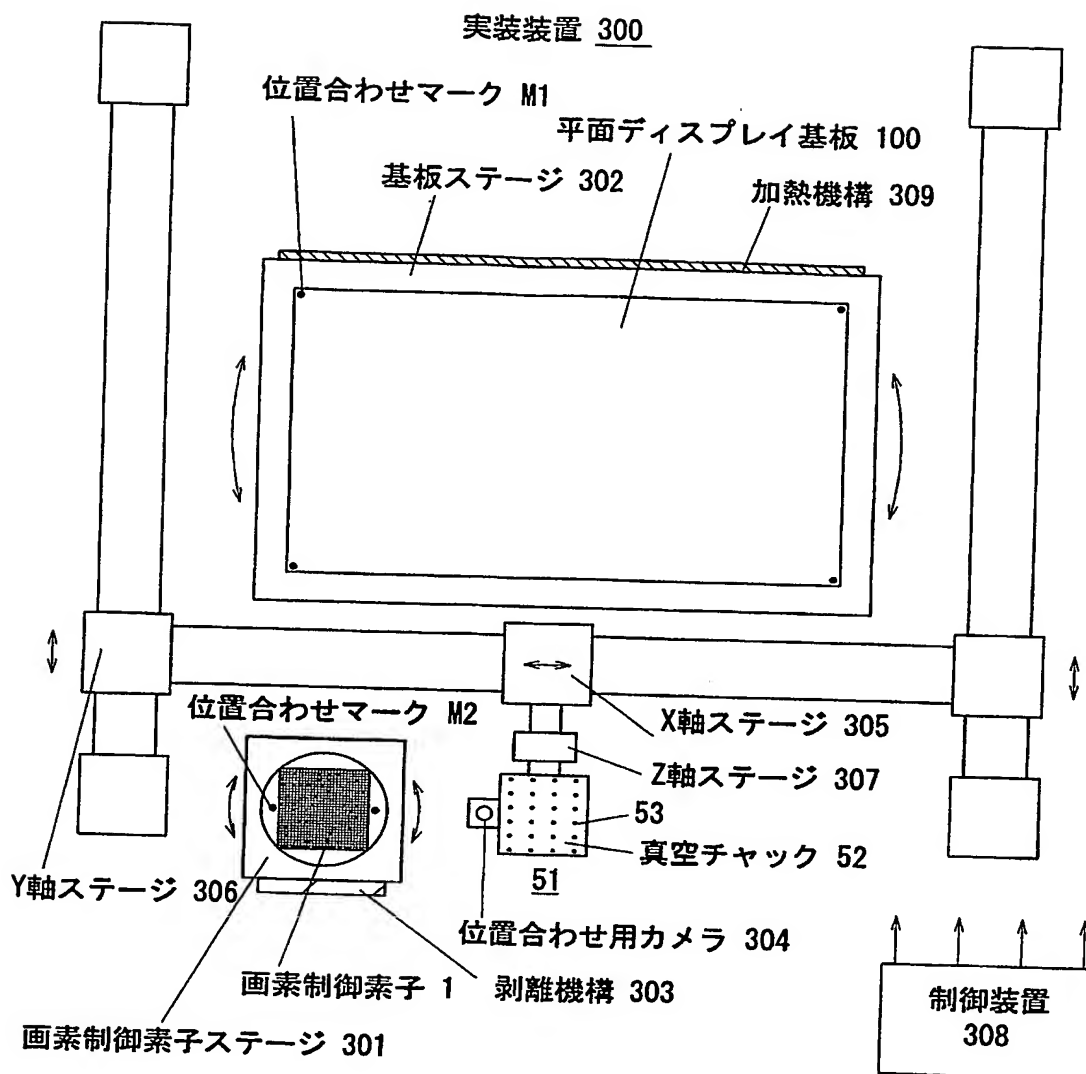
【図 29】



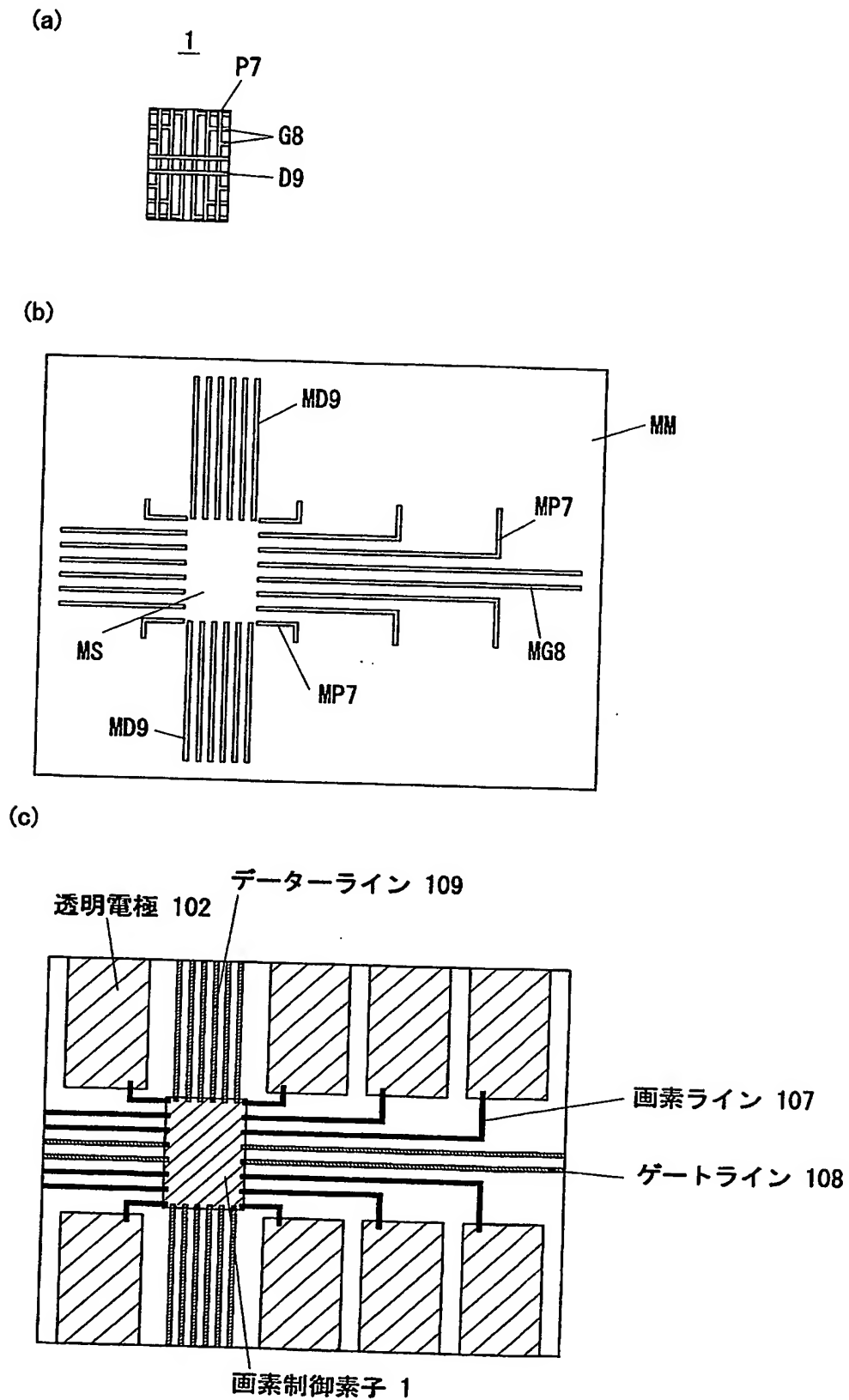
【図 30】



【図 31】

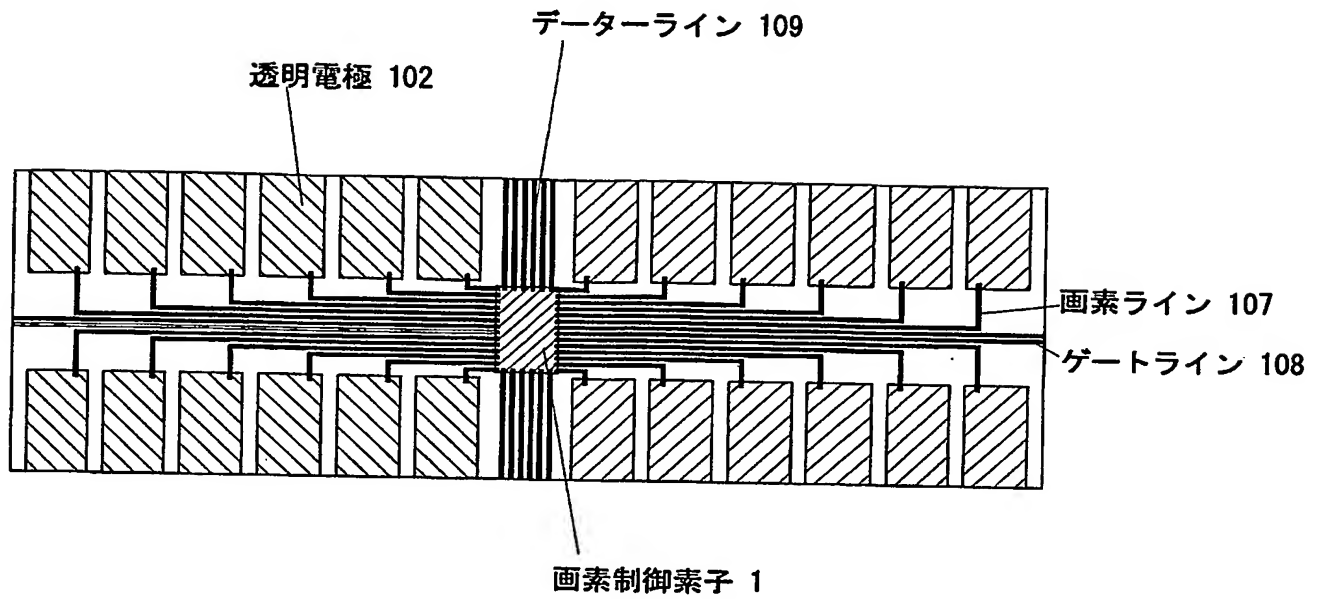


【図 3 2】



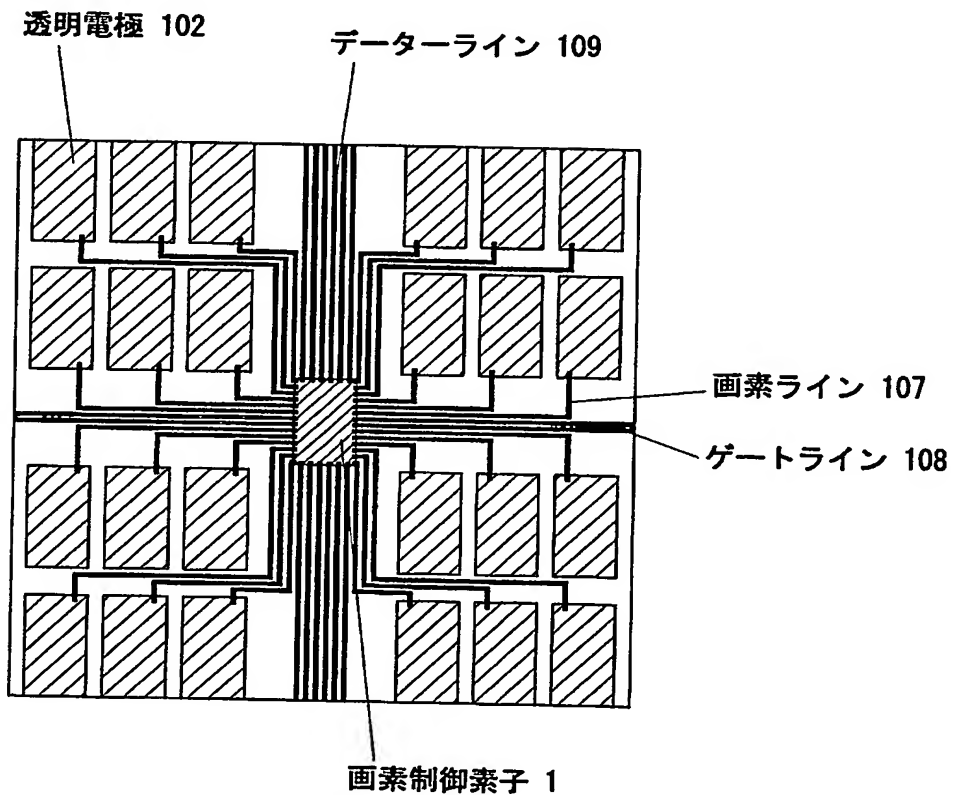
【図 3 3】

ディスプレイ基板上面図



【図 3 4】

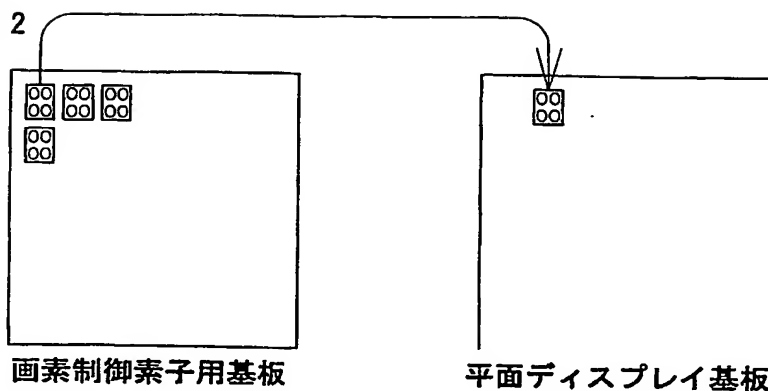
ディスプレイ基板上面図



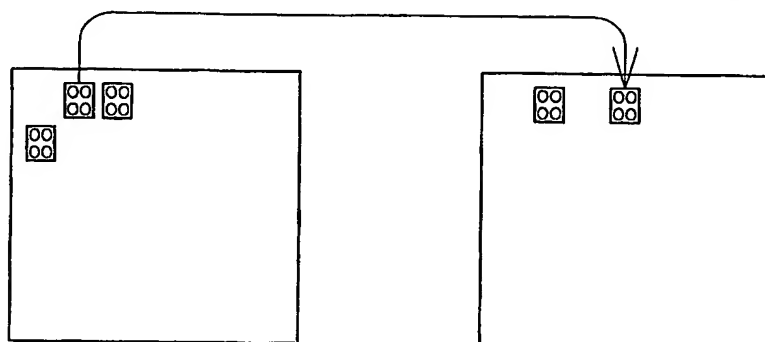
【図 35】

(a) 特許文献 2

転写
1回目

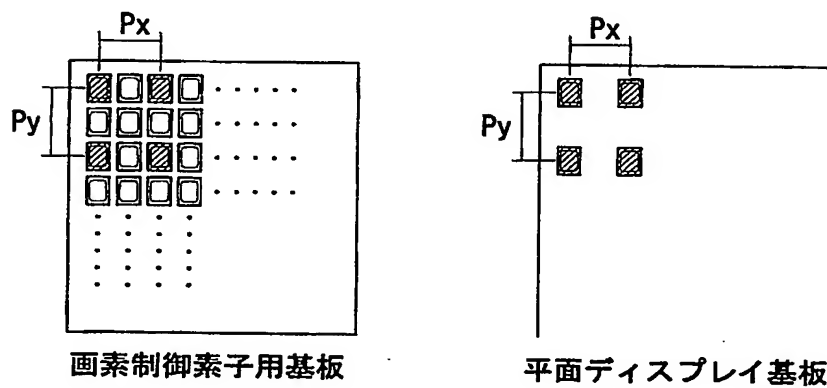


転写
2回目

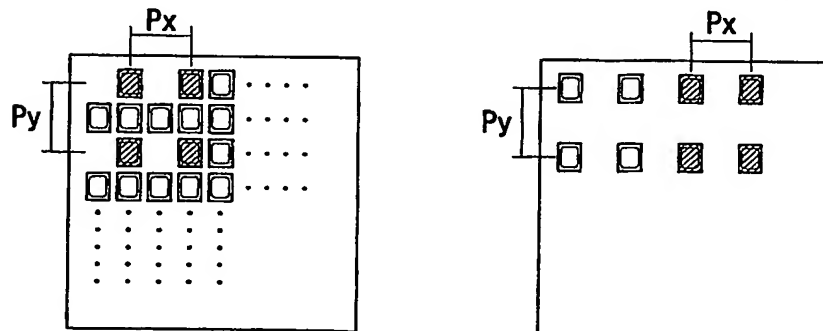


(b) 本願

転写
1回目

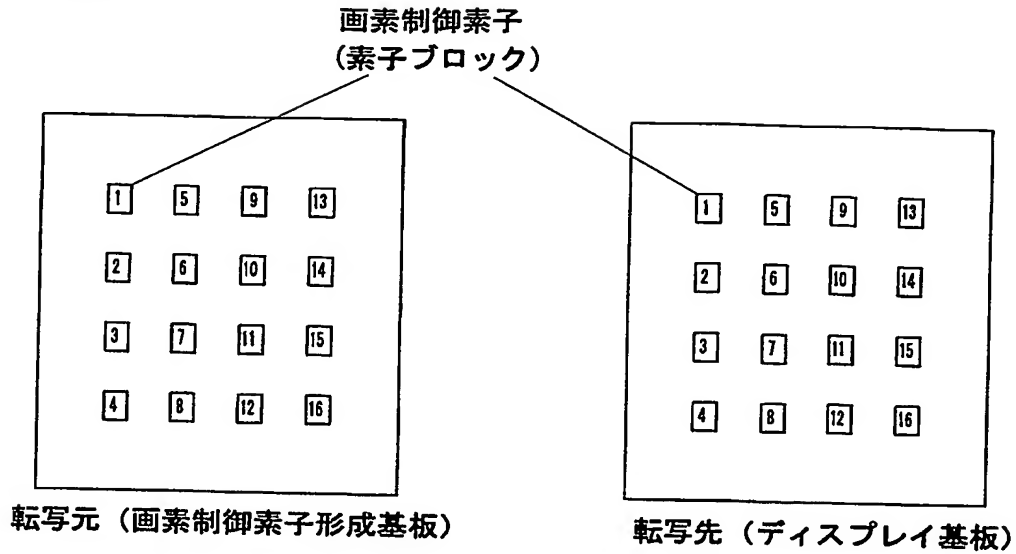


転写
2回目



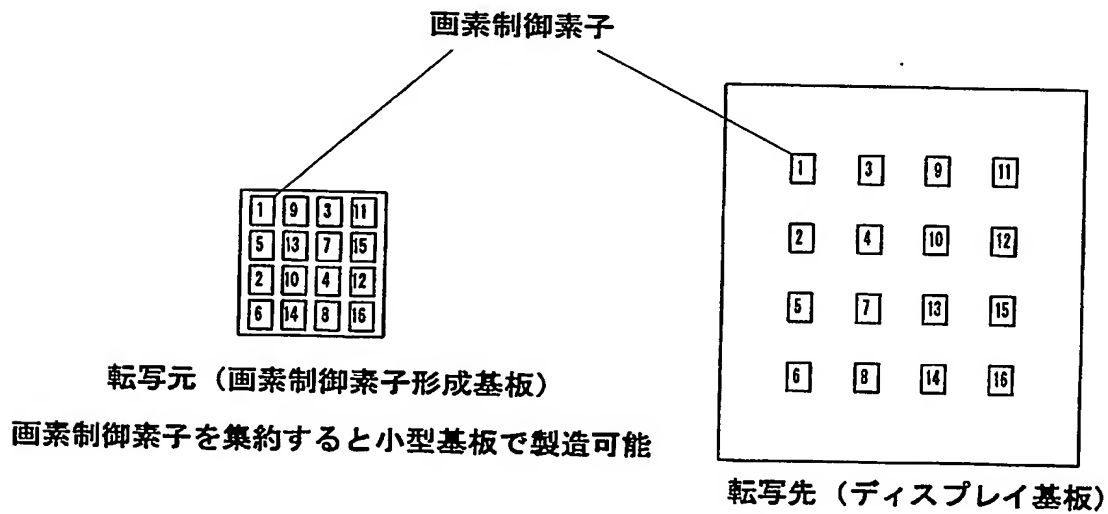
【図 36】

(a) 特許文献 2



転写元と転写先が 1 対 1 に対応する場合

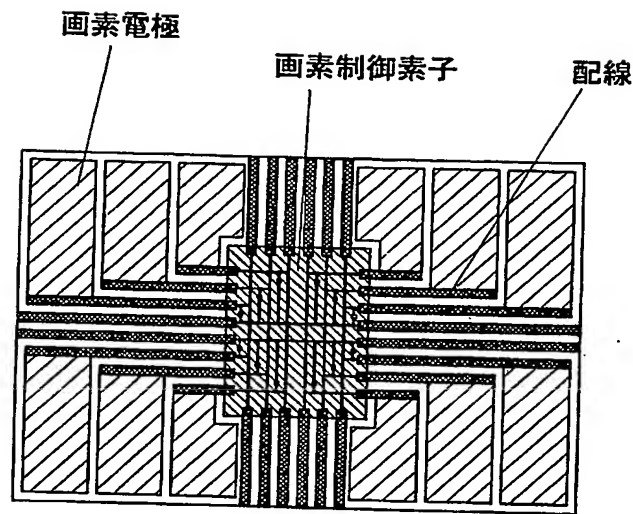
(b) 本願



画素制御素子を集約すると小型基板で製造可能

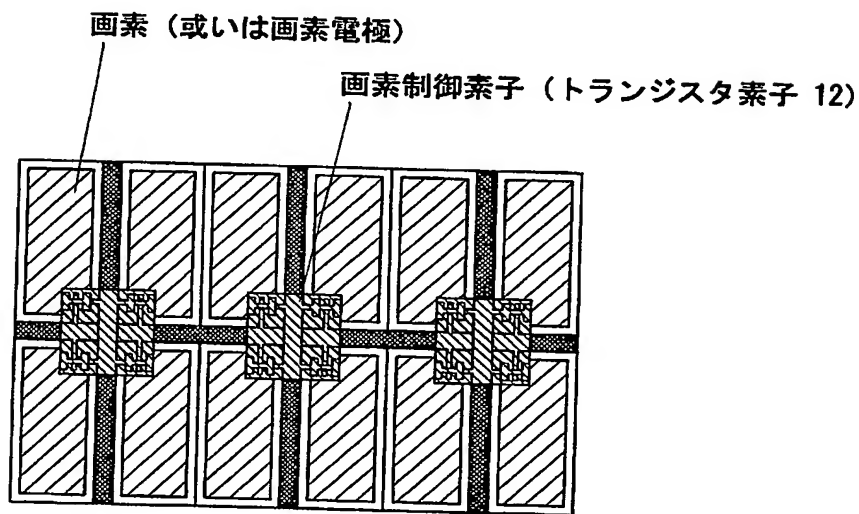
本願での画素制御素子の転写

【図 37】



本願での液晶ディスプレイの画素制御素子の配置パターン

【図 38】



特許文献 2 での液晶ディスプレイの画素制御素子の配置パターン

【書類名】 要約書**【要約】**

【課題】 配線の数进行少なくする（省配線化）とともに、配線による光遮蔽部の面積を小さくでき、さらに、発色及びコントラストが良好な平面ディスプレイ基板を提供する。

【解決手段】 一方の基板111と対向して配され、画素102とこの画素102を制御する画素制御素子1がこれらを接続する配線108と共に形成される平面ディスプレイ基板100において、画素102がm行n列で配列されており、上記画素制御素子1は、一つの集積回路で複数の画素102を制御する画素制御素子1であり、上記m行n列のほぼ中央に配されて、上記各画素102との接続を共通の領域を使用した配線108を介して接続されている。

【選択図】 図23

認定・付加情報

特許出願の番号	特願 2003-301478
受付番号	50301407393
書類名	特許願
担当官	大井 智枝 7662
作成日	平成15年 9月12日

<認定情報・付加情報>

【提出日】

平成15年 8月26日

特願 2003-301478

出願人履歴情報

識別番号

[596141550]

1. 変更年月日
[変更理由]

住 所
氏 名

1996年 9月 6日

新規登録

石川県能美郡辰口町字旭台1丁目50番地A-25
松村 英樹

2. 変更年月日
[変更理由]

住 所
氏 名

2000年 6月21日

住所変更

石川県金沢市南四十万3丁目93番地
松村 英樹

特願 2003-301478

出 願 人 履 歴 情 報

識別番号

[000147774]

1. 変更年月日

1998年 6月30日

[変更理由]

住所変更

住 所

石川県金沢市南森本町リ95番地

氏 名

株式会社石川製作所

2. 変更年月日

2003年 1月10日

[変更理由]

住所変更

住 所

石川県金沢市北安江1丁目3番24号

氏 名

株式会社石川製作所